

Universidad de Huelva

Departamento de Ingeniería Electrónica, de Sistemas
Informáticos y Automática



**Diseño de bloques analógicos de alta velocidad y
técnicas de procesamiento digital para aplicación en
detectores de física nuclear**

**Memoria para optar al grado de doctor
presentada por:**

Manuel Sánchez Raya

Fecha de lectura: 18 de noviembre de 2013

Bajo la dirección de los doctores:

Raúl Jiménez Naharro
Juan Antonio Gómez Galán

Huelva, 2013





Universidad de Huelva

*Departamento de Ingeniería Electrónica,
de Sistemas Informáticos y Automática*

Programa de Doctorado

Ingeniería de Control, Informática y Electrónica

Tesis Doctoral

**Diseño de bloques analógicos de alta
velocidad y técnicas de
procesamiento digital para aplicación
en detectores de física nuclear**

Autor

Manuel Sánchez Raya

Directores

**Raúl Jiménez Naharro
Juan Antonio Gómez Galán**

Huelva, Noviembre de 2013



Universidad
de Huelva

AUTORIZACIÓN PARA LA DEFENSA DE LA TESIS DOCTORAL EMITIDA POR EL/LA DIRECTORA/A Y EL/LA TUTOR/A

DATOS DEL/ DE LA DOCTORANDO/A:

Apellidos y nombre: Sánchez Raya, Manuel	NIF/ Pasaporte: 25.585.550-M	Nacionalidad:
Dirección a efectos de notificaciones: Plaza El Berrocal, 7, 6ºA, 21005 Huelva		
Teléfono: 649718800, 959545740	EMAIL: msraya@diesia.uhu.es	

DATOS DE LA TESIS DOCTORAL:

Título: Diseño de bloques analógicos de alta velocidad y técnicas de procesamiento digital para aplicación en detectores de física nuclear
Programa Oficial de Doctorado al que se adscribe y órgano responsable: Ingeniería de Control, Informática y Electrónica
Línea de investigación a la que se adscribe y órgano responsable: Diseño microelectrónico de circuitos analógicos y mixtos

A CUMPLIMENTAR POR EL/LA DIRECTOR/A DE LA TESIS DOCTORAL:

Dr. Raúl Jiménez Naharro Dr. Juan Antonio Gómez Galán Dr./Dra.: como Directores de la Tesis Doctoral antes indicada AUTORIZA LA DEFENSA DE LA MISMA.
--

En Huelva a, 4 de noviembre de 2013
Firma del/de la Directora/a de la Tesis Doctoral

Fdo.: Raúl Jiménez Naharro

Fdo.: Juan Antonio Gómez Galán

Fdo.:

A CUMPLIMENTAR POR EL/LA TUTOR/A DE LA TESIS DOCTORAL: (sólo en caso de que el/la Tutor/a no coincida con el/la Director/a)

Dr./Dra.: Dr./Dra.: Dr./Dra.: como Tutor/a de la Tesis Doctoral antes indicada AUTORIZA LA DEFENSA DE LA MISMA.

En Huelva a, _____ de _____ de _____
Firma del/de la Tutor/a de la Tesis Doctoral

Fdo.:

Fdo.:



Universidad
de Huelva

AUTORIZACIÓN PARA LA DEFENSA DE LA TESIS DOCTORAL EMITIDA POR LA COMISIÓN ACADÉMICA DEL PROGRAMA DE DOCTORADO

DATOS DEL/ DE LA DOCTORANDO/A:

Apellidos y nombre: Sánchez Raya, Manuel	NIF/ Pasaporte: 25.585.550-M	Nacionalidad:
Dirección a efectos de notificaciones: Plaza El Berrocal, 7, 6ºA, 21005 Huelva		
Teléfono: 649718800, 959545740	EMAIL: msraya@diesia.uhu.es	

DATOS DE LA TESIS DOCTORAL:

Título: Diseño de bloques analógicos de alta velocidad y técnicas de procesamiento digital para aplicación en detectores de física nuclear
Programa Oficial de Doctorado al que se adscribe y órgano responsable: Ingeniería de Control, Informática y Electrónica
Línea de investigación a la que se adscribe y órgano responsable: Diseño microelectrónico de circuitos analógicos y mixtos
Director/a: Dr. Raúl Jiménez Naharro Dr. Juan Antonio Gómez Galán Dr./Dra.

A CUMPLIMENTAR POR LA COMISIÓN ACADÉMICA DEL PROGRAMA DE DOCTORADO:

Una vez valorada la Tesis Doctoral presentada por el/la Doctorando/a y haber incorporado éste/a las modificaciones y/o cambios que esta Comisión Académica le pudiera haber indicado, **se AUTORIZA**, en reunión de fecha 4/11/2013, **LA DEFENSA** de la misma.

En Huelva a, 4 de noviembre de 2013
Firma del/de la Presidente/a de la Comisión Académica

Fdo. José Manuel Andújar Márquez

A mi esposa y a mi hijo

A mis padres

Agradecimientos

En primer lugar deseo mostrar mi más profundo agradecimiento a los directores de esta tesis, D. Raúl Jiménez Naharro y D. Juan Antonio Gómez Galán, por todo el tiempo que me han dedicado durante la realización de la misma, por compartir conmigo sus conocimientos y por la gran ayuda que me han prestado en la labor de síntesis del trabajo realizado durante estos años.

Quiero también agradecer a mis compañeros del Departamento de Ingeniería Electrónica, de Sistemas Informáticos y Automática y del Grupo de Investigación “Sistemas Electrónicos y Mecatrónica” el apoyo que me han prestado y los consejos recibidos.

También deseo agradecer al Grupo de Investigación “Estructura de la Materia” de la Universidad de Huelva, y en particular a D. Ismael Martel Bravo, el haberme permitido el acceso a las instalaciones y a las herramientas necesarias para la prueba de los equipos y sistemas propuestos en este trabajo.

Por último, aunque no se las mencione explícitamente, deseo dar las gracias a todas aquellas personas que de algún modo me han ayudado en la realización de esta tesis.

Resumen

Las radiaciones ionizantes emitidas por la desintegración de los núcleos atómicos de las sustancias radioactivas, así como las originadas en los aceleradores de partículas, constituyen elementos de uso común en múltiples campos de la actividad humana y en gran medida en aplicaciones industriales. Aunque los experimentos y la electrónica asociada pueden tener diferentes formas, los principios básicos del sistema electrónico de acondicionamiento (*readout front-end electronics*) de las señales procedentes de los detectores de radiación se aplican a todos ellos.

Tradicionalmente, los sistemas *front-end* para detectores de partículas en aplicaciones de física nuclear se han realizado mediante bloques analógicos discretos. La interconexión de los mismos dentro de la cadena de instrumentación electrónica permite extraer la información de interés, que en la mayoría de aplicaciones, son la energía de las partículas y el instante de llegada de las mismas. En otros casos, también resulta necesario identificar el tipo de partícula que ha impactado en el sistema de detección. Las nuevas instalaciones de haces radiactivos que se van a construir en Europa en los dos próximas décadas constituyen un desafío para el desarrollo de una nueva generación de sistemas de detección de partículas cuyos esfuerzos deben estar enfocados hacia

los sensores semiconductores, la electrónica de acondicionamiento y los sistemas de control.

Esta tesis presenta un doble enfoque: por un lado, se centra en desarrollar bloques analógicos discretos claves en sistemas front-end que acondicionan las señales procedentes de detectores semiconductores, y que sean capaces de satisfacer los exigentes requisitos de velocidad, linealidad, resolución y precisión. Por otro lado, en el dominio digital se ha desarrollado una nueva técnica para identificar partículas.

En la tesis se propone un nuevo amplificador sensible a la carga que presenta la salida de carga convencional para medir la energía depositada por las partículas en el detector, y también una salida de corriente o temporización que mantiene la forma del pulso, y que se puede utilizar para la identificación de partículas mejorando otros métodos convencionales basados en la medida del tiempo de subida de la señal de carga. El preamplificador ha sido diseñado con reducidas dimensiones y bajo consumo de potencia.

En segundo lugar se ha diseñado un shaper unipolar casi-gausiano basado en la utilización de un filtro activo RC con polos complejos. El circuito presenta un nuevo esquema del circuito de restauración de la línea de base de los pulsos, e incorpora un sistema de control remoto de sus principales parámetros de funcionamiento para facilitar la realización de experimentos en tiempo real.

Finalmente, dentro de la parte analógica de un sistema front-end, también se ha implementado un discriminador de fracción constante adecuado para medir el tiempo de vuelo de las partículas que inciden en los detectores que alcanza elevadas resoluciones para un amplio rango dinámico.

Por otro lado, el desarrollo de las nuevas tecnologías hace atractivo la incorporación de técnicas de procesamiento digital en este campo de investigación permitiendo una simplificación de la electrónica y un mayor grado de flexibilidad. En esta línea, se propone una nueva técnica de identificación de iones mediante el análisis de la forma de los pulsos utilizando redes neuronales artificiales implementadas en una FPGA. El diseño de dicha red ha sido realizada mediante un modelo configurable VHDL para una mejor adaptación a las características de un experimento en particular.

Los diseños de esta tesis están orientados a detectores de silicio que son utilizados en sistemas de detección de partículas cargadas para aplicaciones de espectroscopia.

Índice general

Agradecimientos.....	I
Resumen.....	III
Índice general	VII
Índice de figuras	XIII
Índice de tablas.....	XXI
Capítulo 1 Introducción.....	1
1.1 Introducción.....	1
1.2 Componentes de un sistema electrónico de instrumentación nuclear.....	5
1.3 Objetivos de la tesis.....	10
1.4 Organización de la tesis.....	12
Capítulo 2 Diseño de un amplificador sensible a la carga con salida dual y bajo consumo de potencia	15
2.1 Introducción.....	15
2.1.1 Tipos de preamplificadores.....	16
2.2 Principales parámetros de un preamplificador.....	29

2.2.1	Capacidad de entrada.	30
2.2.2	No linealidad integral y diferencial.	31
2.2.3	Ruido y tiempo de subida.	33
2.2.4	Tasa de conteo máxima y tiempo muerto.	35
2.3	Diseño del circuito.	36
2.3.1	Análisis de la etapa de polarización.	38
2.3.2	Etapa de amplificación.	39
2.3.3	Etapa de generación de corriente.	42
2.4	Resultados experimentales.	44

Capítulo 3 Diseño de un shaper programable de tipo unipolar gaussiano con restauración de la línea de base..... 51

3.1	Introducción.	51
3.2	Especificaciones de diseño.	53
3.3	Conformado de la señal mediante filtrado.	54
3.3.1	Conformador de pulsos semi-gaussiano unipolar.	55
3.3.2	Conformador de pulsos semi-gaussiano bipolar.	58
3.3.3	Filtro casi gaussiano obtenido empleando el método de síntesis de Ohkawa.	60
3.4	Diseño del shaper.	66
3.4.1	Etapa de entrada, filtro CR y compensación polo-cero.	68
3.4.2	Amplificador y atenuador programable.	73
3.4.3	Filtro RC Sallen-Key.	74
3.4.4	Amplificador de Ganancia Variable (VGA).	80
3.4.5	Circuito restaurador de la línea base.	80
3.4.6	Etapa de salida.	87
3.5	Programabilidad.	90
3.6	Resultados y medidas experimentales.	92

Capítulo 4 Diseño de un discriminador de fracción constante de alta resolución.....	99
4.1 Introducción a los discriminadores	99
4.1.1 Factores limitadores.	102
4.1.2 Discriminador de fracción constante.	103
4.2 Implementación del circuito.....	107
4.2.1 Especificaciones del diseño.....	109
4.2.2 Etapa de entrada	109
4.2.3 Comparador por flanco de subida.....	110
4.2.4 Comparador de fracción constante.	111
4.2.5 Biestable D de generación del pulso de salida.....	113
4.2.6 Circuito de reset del biestable ECL.	114
4.2.7 Convertidor de lógica ECL a salida NIM.	115
4.2.8 Circuito de restauración de línea de base del comparador de fracción constante.	116
4.3 Resultados experimentales.	117
 Capítulo 5 Sistema de control remoto de parámetros lentos	 125
5.1 Introducción.....	125
5.1.1 Objetivos del sistema de control.....	128
5.1.2 Requisitos de la implementación.....	128
5.2 Implementación del hardware.....	129
5.2.1 Placa de control.....	130
5.2.2 Placa interfaz de usuario.	132
5.3 Descripción del software.....	137
 Capítulo 6 Análisis de forma de onda de pulso para identificación de iones pesados.....	 139
6.1 Introducción.....	139

6.2 Necesidades y Metodología.	143
6.3 Implementación de la red neuronal.	146
6.3.1 Registro de desplazamiento de entrada.	147
6.3.2 Las neuronas.	148
6.3.3 El registro de desplazamiento de salida.	149
6.3.4 Controlador.	150
6.3.5 Memoria de pesos.	150
6.4 Aplicación a la discriminación de ^{12}C - ^{13}C	151
6.4.1 Análisis de los resultados.	153
6.4.2 Simulación de la red neuronal.	155
6.5 Prototipado.	157
6.5.1 Arquitectura del prototipo.	158
6.6 Resultados.	169
6.7 Conclusiones.	175
Capítulo 7 Conclusiones y líneas futuras de investigación.	179
7.1 Conclusiones.	179
7.2 Líneas futuras de investigación.	182
Referencias.	185
Publicaciones.	197
Anexo 1: Contribuciones al ruido del preamplificador.	201
Anexo 2: Diseño del software del sistema de control.	211
2.1 Placa de control.	211
2.1.1 Estructura del programa.	211
2.1.2 Comunicación serie.	212

2.1.3	Comunicación SPI.....	213
2.1.4	Configuración del convertidor D/A.....	216
2.1.5	Funciones de bajo nivel.....	216
2.1.6	Memoria EEPROM.....	217
2.1.7	Intérprete de comandos.....	217
2.1.8	Comunicación I2C con la placa interfaz de usuario.....	218
2.1.9	Conversión de datos de entrada.....	219
2.1.10	Proceso de calibración.....	221
2.2	Placa Interfaz de Usuario.....	223
2.2.1	Bucle principal del programa.....	224
2.2.2	Programación del microcontrolador. Estructura del programa.....	225
2.2.3	Control del display.....	225
2.2.4	Manejo de los pulsadores y del encoder.....	228
2.2.5	Memoria EEPROM.....	231
2.2.6	Comunicación I2C en modo esclavo.....	233

Índice de figuras

Figura 1.1. Pulso de carga eléctrica generada en el detector.....	5
Figura 1.2. Cadena de instrumentación empleada en aplicaciones de espectroscopia.	6
Figura 1.3. Señales de la cadena de instrumentación convencional.	8
Figura 1.4. Cadena de instrumentación electrónica de referencia en esta tesis.....	9
Figura 2.1. Esquema simplificado de un detector y de la entrada del amplificador. ..	17
Figura 2.2. Ejemplos de realización de la etapa preamplificadora. (a) modo corriente. (b) modo tensión.....	18
Figura 2.3. (a) Esquema de un preamplificador de carga. (b) Pulso de salida del preamplificador y formación de <i>pile-up</i>	19
Figura 2.4. Esquema simplificado de un CSA.....	21
Figura 2.5. Amplificador sensible a la carga basado en un amplificador con ganancia de voltaje dependiente de la frecuencia.....	24
Figura 2.6. Salida del CSA (a) τ_f determina el decaimiento, (b) τ_2 determina el tiempo de subida.....	25
Figura 2.7. Sistemas más comúnmente usados para realizar el reset del condensador de realimentación en un CSA. (a) Interruptor, (b) Descarga continua a través de una resistencia, (c) Descarga continua a través de un elemento activo.....	28

Figura 2.8. Pequeño condensador C_{test} colocado en la entrada del CSA que funciona como inyector de carga.	28
Figura 2.9. Montaje para medir varios parámetros del preamplificador sensible a la carga.	30
Figura 2.10. Ilustración de la no linealidad diferencial.....	31
Figura 2.11. Sistema para medir la no linealidad de amplificadores.	31
Figura 2.12. Ruido frente a capacidad externa para un amplificador sensible a la carga típico.	34
Figura 2.13. Tiempo de subida típico en función de la capacidad de entrada.....	35
Figura 2.14. Diagrama de bloques del preamplificador diseñado.....	38
Figura 2.15. Etapa de polarización del preamplificador de carga.	39
Figura 2.16. Etapa de amplificación del preamplificador sensible a la carga.	41
Figura 2.17. Etapa de generación de la señal de corriente.....	43
Figura 2.18. Fotografía del preamplificador sensible a la carga en una PCB de 2 capas.	44
Figura 2.19. Fotografía del prototipo del preamplificador en una PCB de cuatro capas.	45
Figura 2.20. Diagrama de configuración de test.....	46
Figura 2.21. Señal de salida de energía (verde) y de corriente (azul) para 5MeV de entrada.	46
Figura 2.22. Relación entre la capacidad del detector a la entrada del preamplificador y el tiempo de subida de la señal de salida.	47
Figura 2.23. Curva de respuesta del preamplificador respecto a energía de entrada..	48
Figura 2.24. Saturación a la salida.	48

Figura 2.25. Programación del tiempo de decaimiento.	49
Figura 3.1. Diagrama de bloques del shaper desarrollado.	52
Figura 3.2. Definición de tiempos para conformado de pulso: a) pulso unipolar, b) pulso bipolar.	55
Figura 3.3. Conformador de pulso semi-gausiano de tipo CR-(RC) ⁿ	56
Figura 3.4. Ejemplos de salida del conformador de pulso para diferentes órdenes del filtro CR-(RC) ⁿ con a) la misma constante de tiempo τ , b) salida normalizada en amplitud y tiempo de forma independiente para cada gráfica.	57
Figura 3.5. Conformador de pulso semi-gausiano de tipo (CR) ² (RC) ⁿ	58
Figura 3.6. Ejemplos de salida del conformador de pulso para diferentes órdenes del filtro (CR) ² (RC) ⁿ con a) la misma constante de tiempo τ , b) con la salida normalizada en amplitud y tiempo de forma independiente para cada gráfica.	59
Figura 3.7. Respuestas al impulso para diferentes órdenes del filtro en función del tiempo normalizado con τ_0	65
Figura 3.8. Diagrama de bloques del conformador de pulsos o shaper.	66
Figura 3.9. Etapa de entrada. Filtro CR y compensación Polo-Cero (PZC).	69
Figura 3.10. Señales de salida del (a) preamplificador de carga CSA, y (b) de la etapa RC y PZC para $\tau = 0.5 \mu s$	69
Figura 3.11. Dos tipos de efectos de la elevada tasa de llegada de pulsos: a) sobre la cola del pulso a la salida del preamplificador de carga (CSA), b) sobre la salida del conformador de pulso.	70
Figura 3.12. Pulsos para diferentes constantes de tiempo del CSA: a) en la salida del CSA, b) en la salida del conformador de pulsos.	71
Figura 3.13. Pérdida de resolución en la medida del pulso a la salida del conformador de pulso para altas tasas de entrada cuando no está actuando el circuito de compensación polo-cero.	72
Figura 3.14. PZC tras la etapa CSA.	73

Figura 3.15. Amplificador y atenuador programable.....	74
Figura 3.16. Esquema del shaper de tipo gaussiano para $n_G = 5$ usando filtros en cascada Sallen-Key.....	76
Figura 3.17. Señal de entrada (a) y salida (b) a la etapa de filtrado RC para $\tau=0.5\mu s$..	78
Figura 3.18. a) Respuesta temporal al escalón unidad del filtro semi-gaussiano Ohkawa para diferentes shaping time. b) Respuesta en frecuencia para diferentes "shaping time".....	79
Figura 3.19. Diseño del amplificador de ganancia programable en torno a un amplificador de transconductancia LM13700.....	80
Figura 3.20. Idea básica del BLR.....	81
Figura 3.21. Esquema simplificado de parte del canal de entrada conteniendo el restaurador de línea base.....	82
Figura 3.22. BLR formado por la etapa de salida, un detector de señal, un amplificador de transconductancia y un seguidor con JFET.....	83
Figura 3.23. Circuito BLR que actúa sobre la etapa de salida.....	84
Figura 3.24. Simulación de funcionamiento del BLR sobre una señal de entrada. (a) Señal de salida con desplazamiento de la línea base. (b) Salida del detector de pulso.....	86
Figura 3.25. Señal de salida con impulsos que simulan mayor actividad.....	87
Figura 3.26. Funcionamiento del BLR al conectarse el circuito. La compensación del circuito BLR actúa sobre la línea base llevándola a cero pasado un tiempo desde su activación.....	87
Figura 3.27. Etapa de Salida con transistores discretos polarizados en clase AB.....	88
Figura 3.28. Fotografía del prototipo final del shaper.....	92
Figura 3.29. Diagrama de configuración de test.....	93
Figura 3.30. Señal de entrada (a) proporcionada por el generador y salida del conformador de pulsos (b).....	94

Figura 3.31. Señal de salida para distintos tiempos de integración.	94
Figura 3.32. Señal de salida para distintas posiciones del control de compensación polo-cero: sin compensación, 20% y 75%.	95
Figura 3.33. Señal de salida para distintas configuraciones del control de ganancia.	96
Figura 3.34. Señal de entrada y señal de detección de pulso para distintas configuraciones del control de umbral de pulso del BLR. (a) BLR desactivado, (b) BLR disparo al 20%.	96
Figura 3.35. Señal de salida al variar el control de offset de salida que opera sobre el BLR. (a) selección de offset positivo, (b) Selección de offset negativo.	97
Figura 3.36. Gráfica de linealidad del amplificador donde se muestra el valor de pico de salida para una señal de entrada de amplitud variable.	98
Figura 4.1. Cadena de instrumentación empleada medir el tiempo de vuelo entre dos detectores.	100
Figura 4.2. Discriminador de flanco. (a) Error de tiempo provocado por el <i>jitter</i> (b) Desplazamiento de tiempo (<i>walk time</i>).	102
Figura 4.3. Formación de la señal de fracción constante.	104
Figura 4.4. Representación modular de las etapas de un CFD.	106
Figura 4.5. Diagrama del CFD.	107
Figura 4.6. Etapa de entrada del discriminador.	110
Figura 4.7. Comparador por flanco de subida (CF).	111
Figura 4.8. Comparador de fracción constante. Detecta el paso por cero y dispara el registro ECL de generación de pulso.	112
Figura 4.9. Biestable ECL de generación de pulso de anchura programable.	113
Figura 4.10. Circuito que genera el reset del biestable a partir de la señal de salida.	114
Figura 4.11. Etapa de salida del discriminador.	115

Figura 4.12. Etapa restauración de línea base para el discriminador de fracción constante.	116
Figura 4.13. Fotografía del prototipo final que dispone de dos CFD y control por microprocesador.	118
Figura 4.14. Diagrama de configuración de test.....	119
Figura 4.15. Señal de entrada y señales atenuada y retardada.	120
Figura 4.16. Señal de fracción constante respecto a la señal de entrada.....	120
Figura 4.17. Señal de salida para diferentes configuraciones del control de ancho de pulso de salida.	121
Figura 4.18. "Walk time" para señales de entrada que cubren el rango dinámico del circuito.....	121
Figura 4.19. Evolución del "walk time" en función de la amplitud de la señal de entrada.....	122
Figura 4.20. Evolución del jitter (FWHM) en función de la amplitud de la señal de entrada.....	123
Figura 5.1. Integración del sistema de control de parámetros del usuario.....	127
Figura 5.2. Diseño del microcontrolador de control.....	131
Figura 5.3. Generador de tensión con control digital mediante conversión D/A.....	131
Figura 5.4. Integración del sistema de control de parámetros del usuario.....	133
Figura 5.5. Microcontrolador del la interfaz de usuario.....	134
Figura 5.6. Control del display de cuatro dígitos.	135
Figura 5.7. Encendido de los leds de los pulsadores mediante el registro de desplazamiento #2.....	135
Figura 5.8. Lectura de pulsadores y encoder mediante registro de desplazamiento.	136
Figura 5.9. Fotografía de la placa del sistema de control.....	137

Figura 6.1. Esquema de la cadena de instrumentación considerada.....	140
Figura 6.2. Diagrama de bloques de una cadena electrónica típica para PSA.	144
Figura 6.3. Diagrama de bloques de una cadena electrónica típica para PSA.	145
Figura 6.4. Esquema de la red neuronal a nivel de bloques.	147
Figura 6.5. Esquema de una neurona a nivel de bloques.....	149
Figura 6.6. Señales de corriente generadas por iones ^{12}C (trazas azules) y ^{13}C (trazas rojas) impactando en un detector de Si NTD de $300\mu\text{m}$	152
Figura 6.7. Forma de onda de un ciclo de análisis en línea implementado en hardware usando nuestro dispositivo FPGA.	155
Figura 6.8. Resultados de la tarea de identificación usando proceso on-line y off-line.	157
Figura 6.9. Adaptación de la placa de desarrollo Spartan-3AN Starter Kit Board al prototipo de identificación.	158
Figura 6.10. Esquema a nivel de bloques del prototipo utilizado para la verificación del proceso de identificación.....	159
Figura 6.11. Esquema a nivel de bloques del generador de datos de entrada. Comportamiento del controlador local.	161
Figura 6.12. Esquema de arbitración utilizado.....	163
Figura 6.13. Comportamiento del esquema de arbitración utilizado.	165
Figura 6.14. Esquema detallado de la comunicación entre MLP, arbitrador y microcontrolador.	166
Figura 6.15. Muestra de las pantallas observadas en el display LCD.....	168
Figura 6.16. Operación del prototipo implementado en FPGA.	169
Figura A1.1. Esquema de ruido equivalente del preamplificador de carga (CSA). ...	201

Figura A1.2. Contribución de diferentes componentes de ruido al ruido total ENC frente al tiempo de pico.....	207
Figura A2.1. Diagrama de ubicación de la placa de control.	212
Figura A2.2. Diagrama de ubicación de la placa de control.	213
Figura A2.3. Diagrama de control de los convertidores D/A.....	214
Figura A2.4. Conexión en “Daisy chain” de varios convertidores.	215
Figura A2.5. El dato de salida hacia el DAC se determina mediante simple interpolación lineal por intervalos. Estos intervalos y valores se han cargado durante el proceso de calibración.....	220
Figura A2.6. Diagrama de flujo del bucle principal del programa.	224
Figura A2.7. Denominación segmentos en visualizador de 7 segmentos típico.....	227
Figura A2.8. Gestión de interrupciones del controlador I2C.	236

Índice de tablas

Tabla 2.1. Valores de ϵ para varios detectores.	20
Tabla 2.2. Parámetros de funcionamiento del preamplificador.	49
Tabla 3.1. Ancho de pulso para diferentes filtros CR-(RC) ⁿ	57
Tabla 3.2. Ancho de pulso para diferentes filtros (CR) ² -(RC) ⁿ	59
Tabla 3.3. Localización de los polos de los filtros gaussianos (obtenido de [Ohk76]) .	63
Tabla 3.4. Valores calculados de resistencias y condensadores del filtro gaussiano para $n_G = 5$	77
Tabla 3.5. Ancho de pulso para el filtro Gaussiano.....	77
Tabla 3.6. Tiempos de respuesta y frecuencia de corte del filtro Ohkawa para diferentes shaping time.....	79
Tabla 3.7. Datos de tiempos de pulso de salida medidos de forma experimental.	95
Tabla 3.8. Parámetros de funcionamiento del shaper.	98
Tabla 4.1. Parámetros de funcionamiento del CFD.....	123
Tabla 6.1 Resultados de síntesis y simulación variando el número de neuronas dedicadas a una red empleando una FPGA Spartan 3an700.....	154
Tabla 6.2 Frecuencias de operación de las tres regiones temporales del prototipo. .	160

Tabla 6.3 Resultados de operación del prototipo implementado (identificación de ¹²C con 1900 muestras disponibles).	171
Tabla 6.4 Resultados de operación del prototipo implementado (identificación de ¹³C con 1900 muestras disponibles).	172
Tabla 6.5 Estudio de las regiones temporales variando los dispositivos programables de destino.	174
Tabla 6.6 Estudio de los recursos hardware variando los dispositivos programables de destino.	175
Tabla A1.1. Coeficientes de ruido para diferentes tipos de filtros.	208

Capítulo 1

Introducción

1.1 Introducción.

El nacimiento de la Física Nuclear se remonta a las obras de Becquerel y de Rutherford, que descubrieron la radiactividad (Becquerel, 1896) y propusieron una teoría donde el átomo tiene en su centro una enorme carga, el núcleo (Rutherford, 1911). Pocos años después la *Mecánica Cuántica* fue desarrollada (Schrödinger, 1926) y se construyeron las primeras máquinas capaces de acelerar núcleos (Cockcroft y Walton 1930, Van de Graff 1931).

Estos y otros resultados, experimentales y teóricos, han permitido comenzar un estudio sistemático del núcleo que todavía está en curso. Nuestro conocimiento actual del núcleo de la materia cubre muchos aspectos del

comportamiento nuclear (radioactividad, espectros de energía, reacciones nucleares, nucleosíntesis estelar, ...) y se han encontrado también varias aplicaciones prácticas para la vida cotidiana. Sin embargo, la dificultad de tener una única teoría capaz de explicar completamente el comportamiento de la materia nuclear aún sigue desafiando a los físicos teóricos y experimentales. Desde el punto de vista experimental el objetivo es llevar a cabo mediciones de alta "calidad" (alta resolución y granularidad, umbrales bajos,...) que se puedan utilizar para verificar y mejorar las teorías existentes.

En los últimos 50 años se han construido una serie de aceleradores para el estudio de las propiedades nucleares y se han utilizado en todo el mundo, empleando con frecuencia una aceleración electromagnética. La energía deseada se alcanza generalmente con dos o más etapas consecutivas de aceleración, cada una de ellas adaptada a la gama de energía a ser cubierta por cada etapa específica. Hasta ahora, estos métodos se han limitado únicamente a la aceleración de núcleos estables, por lo que sólo ha sido explorada una región limitada de la tabla de elementos atómicos, es decir, los núcleos que se encuentran cerca del valle de la estabilidad.

El estudio de las propiedades nucleares es relevante también por motivaciones de la astrofísica, por ejemplo, para entender la nucleosíntesis de la luz y diversos elementos pesados que se encuentran en la naturaleza. Estos procesos implican núcleos que juegan un papel importante en el ambiente estelar, pero que son inestables en condiciones normales, lo que hace difícil (a veces imposible) el estudio experimental de sus propiedades con los haces estables disponibles hoy día. El estudio de la materia nuclear excitada como una función de la relación N/Z también permitiría una comprensión más profunda de entidades cósmicas, como las estrellas de neutrones.

Estos y otros motivos han llevado al desarrollo de aceleradores de nueva generación en los que es posible la producción de haces nucleares radioactivos (es decir, inestables), con una producción secundaria a partir de un haz estable primario. Estas máquinas permitirán la investigación de materia nuclear más allá de la región de estabilidad, y por lo tanto, ampliar considerablemente nuestro conocimiento de la materia nuclear.

El gran impulso que ha recibido la física nuclear con el desarrollo de los haces de iones radiactivos, y la relevancia científico-tecnológica es de tal envergadura, que las grandes potencias económicas internacionales no han querido escatimar esfuerzos ni inversiones. De este modo, se construyen en la actualidad los centros de aceleradores de núcleos exóticos denominados HRIB en Michigan (EEUU), RIKEN en Tokio (Japón), FAIR (Darmstadt, Alemania) y SPIRAL2 (Caen, Francia). El interés científico está reconocido internacionalmente, y en la Unión Europea se recoge de forma prioritaria en los informes elaborados periódicamente por la NuPPEC para la Comisión Europea [Nup04], [Nup02].

La construcción y desarrollo de los centros de aceleradores de iones radiactivos ha permitido acceder al conocimiento de especies nucleares muy exóticas. No obstante, como las intensidades de estos haces es extremadamente pequeña, los nuevos detectores de partículas deben compensar en eficiencia esta pérdida de intensidad. El diseño definitivo de estos sistemas de detección está condicionado por los rápidos avances actuales en la electrónica nuclear (*front-end electronics, FEE*) y en la tecnología de detectores.

Dentro de la actividad instrumental de estos detectores juega un papel especialmente relevante el estudio de técnicas de análisis digital de señales generadas por las partículas cargadas cuando impactan en sensores de silicio, y

la implementación de la electrónica adecuada. La identificación de masa y de carga de los fragmentos producidos en reacciones suele realizarse por técnicas de tiempo de vuelo y pérdida de energía (telescopios). La primera técnica requiere normalmente distancias de vuelo grandes, y en la práctica requiere la construcción de detectores de partículas grandes y costosos. La segunda técnica (telescopios) implica el empleo de umbrales relativamente altos que limitan la identificación de partículas lentas y de valores elevados de Z , o bien partículas muy energéticas que no dejen suficiente energía en el primer detector. En los últimos años, se ha propuesto como técnica alternativa el análisis de las propias señales de corriente y carga generadas por las partículas cargadas que penetran en los detectores de estado sólido. Los resultados preliminares obtenidos son prometedores. La combinación de las tres técnicas debería emplearse para el diseño y construcción de la nueva generación de detectores. Los retos más importantes que se plantean en el caso de las reacciones nucleares es el amplio rango de energías y masas. Para llevar a cabo las investigaciones dirigidas a discriminar en carga y en masa empleando sensores de silicio es necesario, entre otros aspectos, disponer de una base de pulsos digitalizados de partículas cargadas, desarrollar algoritmos de identificación de partículas, implementar estos algoritmos en FPGAs para su uso on-line, desarrollar preamplificadores de banda ancha y convertidores analógico/digitales rápidos que permitan capturar los pulsos de corriente y carga con la resolución adecuada. En resumen estas técnicas suponen un gran esfuerzo experimental e instrumental, más allá de los dispositivos conocidos por el momento, y tienen aplicaciones que van más allá del campo de las reacciones nucleares.

1.2 Componentes de un sistema electrónico de instrumentación nuclear.

En esta sección se dará una breve descripción de la cadena de instrumentación formada por varios elementos de procesamiento de señal analógicos que se utilizan comúnmente en experimentos de Física Nuclear. La discusión se limitará a las principales propiedades de los sistemas analógicos que son relevantes para los fines de esta tesis.

La función principal de la electrónica *front-end* para aplicaciones de física nuclear es la adquisición de los pulsos de carga eléctrica generada por un detector de radiación, extraer la información de interés y convertirlas a dominio digital para ser procesadas y analizadas. En la mayoría de las aplicaciones, interesa conocer la energía de la partícula, que es proporcional a la carga que ha sido liberada en el detector, y el instante en el que la partícula ha impactado (Figura 1.1). En algunos casos, la adquisición se limita a un simple contador de pulsos. Por otro lado, a veces también resulta necesario distinguir el tipo de partícula por medio de la forma del pulso, utilizándose como uno de los métodos tradicionales, la variación de tiempo de la respuesta del detector cuando es estimulado por la radiación; esta variación conduce a diferentes tiempos de subida del pulso.

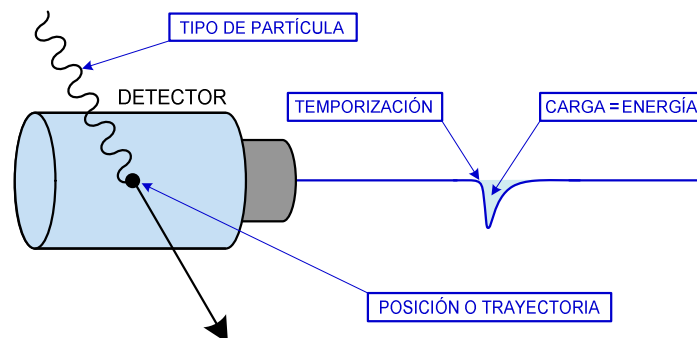


Figura 1.1. Pulso de carga eléctrica generada en el detector.

Por lo general, el sistema de adquisición se completa con unidades lógicas digitales, cuyo propósito es hacer coincidencias, generar triggers, y otras señales que tienen en cuenta la correlación entre los diferentes canales y puede dar información adicional, como la posición de la partícula o su trayectoria.

Tradicionalmente, los sistemas electrónicos de acondicionamiento para los detectores de partículas se han realizado mediante bloques analógicos. La Figura 1.2 muestra el esquema de los bloques constructivos para espectroscopia. El primer componente de la cadena es el *detector*. Aunque existen diferentes tipos de detectores, en esta tesis haremos referencia a los detectores basados en semiconductores que son ampliamente utilizados en la detección de partículas cargadas en aplicaciones de física nuclear. Estos detectores son diodos de unión *pn* polarizados en inversa que liberan carga hacia sus electrodos debido a la rotura de enlaces covalentes (generando pares electrón-hueco) cuando son expuestos a radiación. El detector proporciona un pulso débil de carga a su salida.

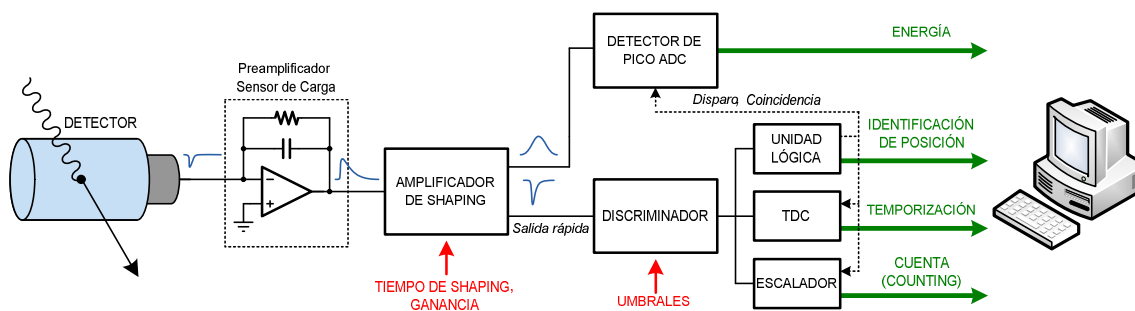


Figura 1.2. Cadena de instrumentación empleada en aplicaciones de espectroscopia.

A continuación se ubica un *preamplificador* que normalmente se coloca cerca del detector. Este elemento es un circuito analógico de bajo ruido que recibe la señal débil generada por el detector y produce una señal de salida de mayor amplitud. Existen varios tipos de preamplificadores siendo los más

utilizados los *preamplificadores sensible a la carga*. Este tipo de preamplificador integra la señal de carga del detector y la convierte a un pulso de tensión mediante un simple condensador. Sin embargo, para evitar la saturación, al condensador se le coloca en paralelo una resistencia que controla la descarga del mismo. De esta forma, la salida del preamplificador tendrá pulsos con un rápido tiempo de subida y un tiempo de bajada exponencial (Figura 1.3). El pulso de tensión tiene una altura proporcional a la energía depositada en el detector/sensor como consecuencia del impacto de las partículas; por eso, esta salida se conoce también como salida de energía del preamplificador. Tanto el tiempo de subida como el tiempo de bajada de este pulso son parámetros a tener en cuenta en el diseño.

Posteriormente, el pulso de tensión es procesado por un *shaper*, el cual proporciona un *conformado* al pulso de acuerdo a los requisitos de tiempo, vuelve a elevar la amplitud de la señal, y realiza un filtrado paso banda que maximiza la relación señal a ruido. La linealidad es un parámetro importante para aplicaciones de espectroscopia. La altura de la salida del shaper es proporcional a la energía de las partículas, su valor se calcula mediante un detector de pico, y es convertido al dominio digital mediante un convertidor analógico/digital de baja velocidad.

Con objeto de preservar la información temporal, la componente rápida de la señal (flanco/tiempo de subida) del preamplificador es normalmente tratada por un amplificador rápido (de gran ancho de banda), también conocido como *fast amplifier* o *timing amplifier*), que realiza la derivada de la señal. Esta señal de salida, que se conoce como salida de tiempo o temporización, es una señal más rápida que la anterior, y su amplitud no es importante. La salida del *fast amplifier* se aplica a un discriminador, un TDC (*time to digital converter*) o un

escalador para adquisición de tiempo o cuenta de pulsos. Normalmente el *fast amplifier* se incluye dentro del *shaper* como un módulo adicional y su señal se proporciona como una salida separada (*timing output*).

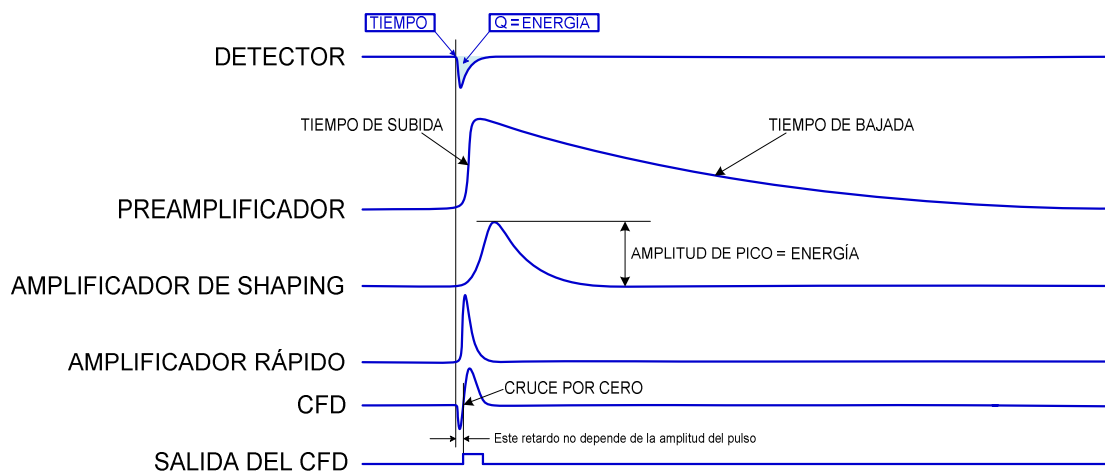


Figura 1.3. Señales de la cadena de instrumentación convencional.

En esta tesis doctoral se ha seguido el esquema convencional, pero se ha propuesto una solución simplificada al diseñar un preamplificador sensible a la carga con una doble salida: la salida de energía (E) y la salida (T) que se emplea para temporización, evitando la necesidad del *fast shaper*. Esta señal de temporización se extrae de la corriente de carga de un condensador adicional en la etapa de salida del preamplificador efectuándose la derivada de la señal.

Por otro lado, se ha diseñado un *shaper* casi-gausiano basado en un filtro activo con polos complejos y que incluye un circuito de control conocido como de restauración de la línea base de los pulsos, necesario en experimentos de alta tasa de eventos.

Por último, dentro de la cadena analógica se ha implementado un discriminador de fracción constante que detecta la llegada de la partícula al detector en el mismo instante independientemente de la altura (su energía) del pulso. Este tipo de discriminadores se utiliza también para medidas de tiempo

de vuelo. Esto consiste en colocar dos detectores, y como el discriminador determina con exactitud la llegada de la partículas a sendos detectores, se calcula su velocidad, o bien su tiempo de vuelo (*time of flight*) para así poder identificar la naturaleza de la partícula. Una vez detectado el paso de la partícula, un convertidor tiempo-amplitud convierte el tiempo entre pulsos de los detectores en un nuevo pulso de tensión cuya amplitud es proporcional al tiempo transcurrido.

Otra variante en la cadena electrónica tradicional es la conversión directa de la señal de carga o de energía del preamplificador sensible a la carga al dominio digital. Esto requiere un convertidor analógico/digital de alta velocidad y moderada resolución que actualmente están disponibles de forma comercial. En esta tesis doctoral, esta señal ya digitalizada ha sido procesada mediante una nueva implementación basada en redes neuronales artificiales para identificación de partículas mediante la forma del pulso (*pulse shape analysis, PSA*).

La Figura 1.4 representa la cadena electrónica analógica que sirve de base para los diseños e implementaciones presentados en este trabajo de tesis.

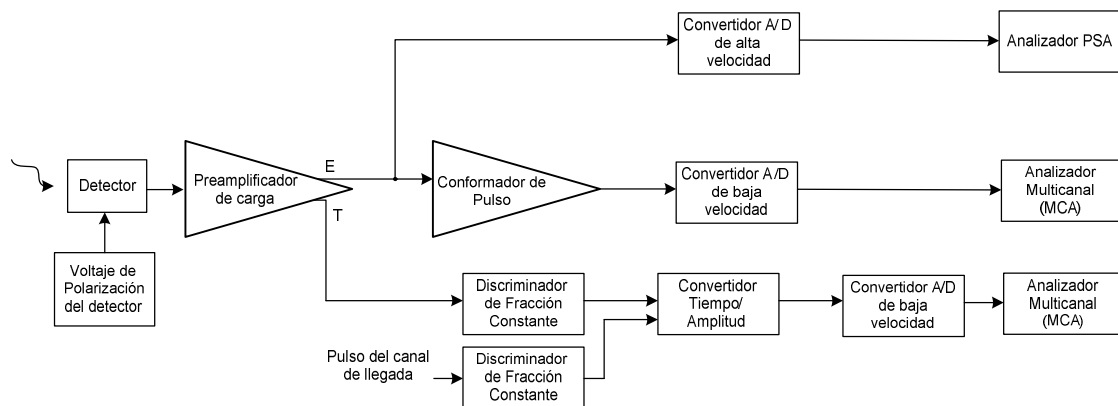


Figura 1.4. Cadena de instrumentación electrónica de referencia en esta tesis.

1.3 Objetivos de la tesis.

Los sistemas experimentales relacionados con la espectroscopia están basados en conjuntos de diferentes tipos de detectores capaces de medir las características de las partículas incidentes (por ejemplo, su energía, su carga, ...). Durante décadas, se ha analizado la señal de salida de un detector de partículas empleando métodos analógicos (bastante sofisticados), dejando el empleo de la electrónica digital para la conversión de los datos finales, su adquisición y almacenamiento.

Aunque estas técnicas están bastante desarrolladas y existen muchas referencias y tratados especializados, se hace necesario una recopilación y una exposición de los circuitos orientada al diseño, verificación y optimización de los equipos electrónicos necesarios para la adquisición y el procesamiento analógico de esta información.

Recientemente, los Grupos de Investigación "Sistemas Electrónicos y Mecatrónica" y "Estructura de la Materia" de la Universidad de Huelva han comenzado una línea de investigación en el campo de la instrumentación electrónica para aplicaciones de física nuclear. Esta Tesis Doctoral pretende ser una primera contribución a este campo de investigación, prácticamente inédito a nivel nacional. En ella se proponen varios diseños de subsistemas analógicos discretos que acondicionan las señales procedentes de detectores de partículas cargadas, así como un nuevo método de identificación de partículas en el dominio digital. El extenso estudio tanto teórico como experimental de toda la cadena de amplificación y procesamiento analógico permite que muchos de los resultados obtenidos sean de interés general y se puedan aplicar o extenderse a otros sistemas.

De forma desglosada, los objetivos son:

- Propuesta y validación experimental de un preamplificador de carga con una topología compacta, de alta velocidad, bajo consumo y salida dual de carga y de corriente (o temporización).
- Diseño, implementación y test de un conformador de pulsos unipolar y casi gaussiano que incluye una etapa de compensación polo-cero, un filtro activo paso bajo formado por dos secciones de segundo orden en cascada con una topología que sólo necesita una amplificador operacional por cada sección bicuadrática, y una etapa de salida en clase AB. Además, se le ha añadido un circuito de control para la restauración de la línea de base.
- Diseño, implementación y test de un discriminador de fracción constante de bajo ruido y *walk time* de centenares de picosegundos.
- Implementación digital de un control remoto de los principales parámetros de los bloques analógicos para dotarles de flexibilidad y adaptabilidad. Desarrollo de una estructura de software flexible común para todos los módulos.
- Diseño, implementación, validación y test de algoritmos de inteligencia artificial a la resolución del problema de identificación de partículas basado en análisis de forma de pulso (*pulse shape analysis*). El diseño obtenido debe tener un elevado grado de configuración para adaptarse a diferentes experimentos; ello implica la utilización de dispositivos reconfigurables como FPGAs.

El análisis de las técnicas analógicas convencionales ha permitido desarrollar diseños optimizados y actualizados manteniendo un compromiso entre velocidad, precisión, consumo de potencia y ruido.

Se ha pretendido realizar un compendio lo más completo posible donde se analicen la teoría, la simulación de modelos, las consideraciones prácticas de una implementación y el empleo de técnicas de testeo actualizadas.

Parte de este trabajo ha sido publicado en varios artículos de revistas y conferencias internacionales.

1.4 Organización de la tesis

Los contenidos están organizados de la siguiente forma:

En el Capítulo 2 se ofrece una descripción general de los sistemas de preamplificación de los pulsos de carga y que se colocan cerca del detector ya que trabajan con señales de bajo nivel y propensas a ruido. Se ofrecen resultados de simulación y se avanzan los conceptos claves de las técnicas de optimización de los dispositivos frente al ruido y a la forma de la señal que se completarán en el siguiente capítulo. Se presenta el diseño de un amplificador sensible a la carga con una etapa de entrada basada en un JFET de bajo ruido y alta transconductancia, y polarizado con un diodo zener. Un amplificador operacional realiza la amplificación de la señal de la etapa de entrada generando la señal de carga, y una etapa de salida en clase AB permite obtener la señal de temporización.

En el Capítulo 3 se repasan los parámetros característicos para la amplificación y conformado del pulso así como los diferentes tipos de shapers. A continuación se presenta el diseño electrónico que se ha propuesto para el shaper, explicando en detalle cada una de las etapas desarrolladas y mostrando los resultados experimentales.

En el Capítulo 4 se da una descripción del hardware empleado para realizar la medida de tiempos de llegada de las partículas que impactan con el detector semiconductor y del circuito propuesto para el discriminador de fracción constante. También se ofrecen consideraciones prácticas y resultados experimentales de la implementación.

En el Capítulo 5 se ofrecen los detalles del sistema computador empleado para el control de los parámetros analógicos desde un panel de control de instrumentación, y opcionalmente, de forma remota.

En el Capítulo 6 se diseña un sistema digital para el análisis de la forma del pulso con la finalidad de obtener información del tipo de partícula. Este sistema está basado en redes neuronales artificiales. Se presentará la base del sistema digital y los detalles de su implementación en una FPGA.

Finalmente, en el Capítulo 7 se presentan las conclusiones y las líneas futuras de investigación.

Capítulo 2

Diseño de un amplificador sensible a la carga con salida dual y bajo consumo de potencia

2.1 Introducción.

El amplificador sensible a la carga es el primer elemento del sistema *front-end*, y por tanto, el que se encuentra más cerca del detector. Esta primera etapa es la más crítica, pues en este punto las señales son muy débiles y el sistema puede verse más afectado por el ruido.

El preamplificador tiene la misión de adaptar y amplificar la débil señal de carga captada en el detector para introducirla a la entrada de un amplificador/shaper que filtra la señal y cambia la forma de la misma con el fin de aumentar la relación señal a ruido. La amplitud de la señal de salida es

proporcional a la energía depositada en el detector y se puede utilizar para diversos tipos de aplicaciones ya sean de temporización o de espectroscopia.

En general, el diseño del preamplificador requiere como principales características: bajo ruido, bajo consumo de potencia, alta ganancia en bucle abierto, elevado producto ganancia-ancho de banda (GBW) y pequeño tiempo de subida. Un diseño cuidadoso del transistor de entrada es obligatorio para obtener bajo ruido, una sensibilidad estable y un consumo de potencia óptimo. En implementaciones discretas se suelen utilizar dispositivos de entrada tipo JFET (*Junction Field-Effect Transistor*) para cumplir estos requisitos.

2.1.1 Tipos de preamplificadores.

Existen tres tipos de preamplificadores según la forma de procesar la señal procedente del detector [Gat81][Kor00]:

1. Modo corriente: preserva la forma del pulso.
2. Modo tensión: se obtiene una elevada amplitud de la señal a la entrada del amplificador.
3. Usando un amplificador sensible a la carga (*Charge Sensitive Amplifier, CSA*) para integrar el pulso de corriente del detector.

Para distinguir entre las opciones 1 y 2, es conveniente mostrar un esquema simplificado de un detector y la entrada de un amplificador, como se puede ver en la Figura 2.1.

La capacidad C_T incluye la capacidad del detector C_{det} , la capacidad del transistor de entrada C_i y la capacidad parásita C_{par} de la conexión entre el detector y la electrónica.

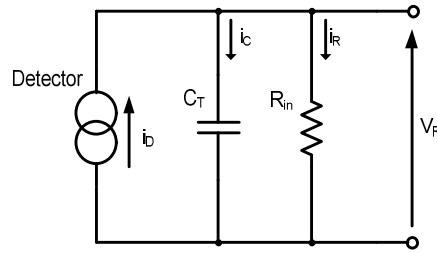


Figura 2.1. Esquema simplificado de un detector y de la entrada del amplificador.

La resistencia R_{in} representa la resistencia de entrada del amplificador. Para el pulso del detector, la corriente i_R proporcionada al amplificador se puede escribir como:

$$i_R(s) = i_D(s) \frac{1}{1 + s C_T R_{in}} \quad (2.1)$$

En modo corriente la señal del detector se amplifica sin cambio de su forma. Esto requiere una constante de tiempo de entrada muy baja $\tau_{in} = R_{in} C_T$ y por tanto, se necesita una baja resistencia de entrada R_{in} en el amplificador.

El modo tensión es una solución más convencional donde la señal de tensión producida a la entrada del amplificador es mucho más elevada debido al gran valor de la resistencia de entrada R_{in} , y se puede escribir como:

$$v_R(s) = i_D(s) \frac{1}{1 + s C_T R_{in}} R_{in} \quad (2.2)$$

Sin embargo, el mencionado incremento de la amplitud del pulso v_R provoca una constante de tiempo muy grande en la entrada del amplificador y la forma del pulso del detector, ya no se preserva, sino que viene determinada por su gran constante de tiempo. Algunos ejemplos de la realización práctica de estos modos de funcionamiento se pueden observar en la Figura 2.2.

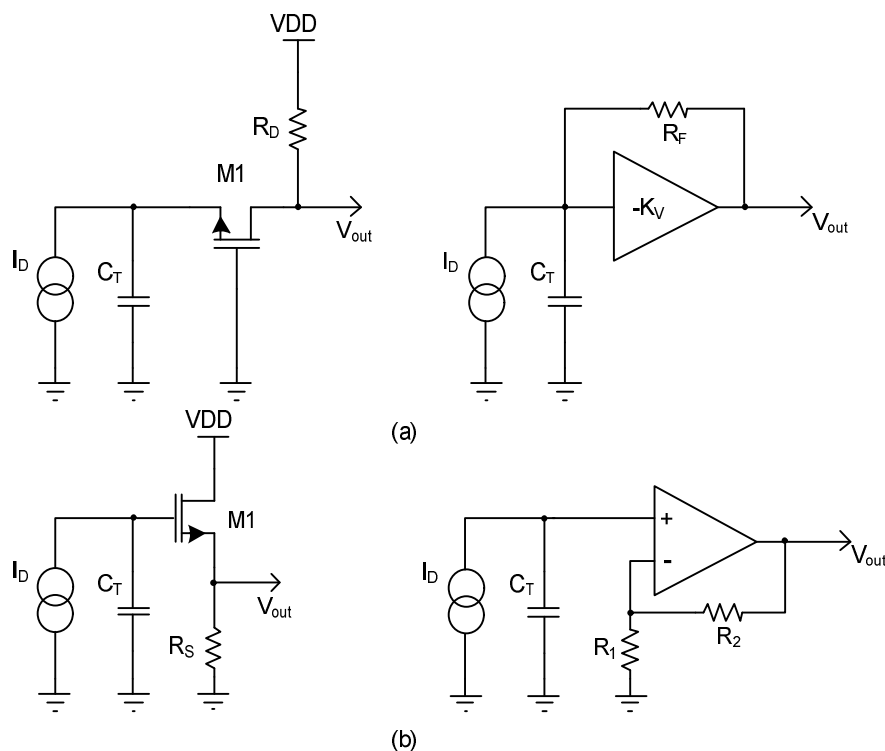


Figura 2.2. Ejemplos de realización de la etapa preamplificadora. (a) modo corriente. (b) modo tensión.

El preamplificador sensible a tensión amplifica cualquier voltaje que aparezca en su entrada. Puesto que los detectores de radiación, son esencialmente dispositivos que producen cargas, este voltaje aparece a través de la capacidad intrínseca del detector junto con otras capacidades parásitas que se encuentran en el circuito de entrada, o sea: $V_o = Q/C_T$. Por tanto, es importante que la capacidad del detector permanezca estable durante el funcionamiento. En el caso de los detectores basados en semiconductores, que nos ocupan en este estudio, tienen lugar variaciones en la capacidad intrínseca con la temperatura. Esto se debe a corrientes de fuga en el diodo semiconductor que dependen de la temperatura. Por tanto, no es aconsejable el empleo de este tipo de preamplificadores con dispositivos semiconductores como detectores.

Los problemas del preamplificador sensible a tensión se pueden evitar usando un preamplificador sensible a la carga (CSA), que es la solución

habitualmente utilizada, y la que se ha adoptado en esta tesis. La Figura 2.3(a) muestra un diagrama del diseño básico de este tipo de amplificador. La idea es integrar la carga transportada por el pulso de entrada sobre el condensador C_F . En este caso, la tensión de salida es siempre proporcional a: $V_o = Q/C_F$, de forma que se ha eliminado la dependencia de la capacidad del detector.

La entrada del preamplificador aparece como un gran condensador para el detector, porque el efecto del condensador de realimentación a la entrada se amplifica por la ganancia en bucle abierto del amplificador (efecto Miller). Esta capacidad de entrada debe ser mucho mayor que las otras capacidades asociadas a la entrada del preamplificador (detector y cables de entrada) para que la sensibilidad del preamplificador no se vea afectada por los cambios externos de capacidad.

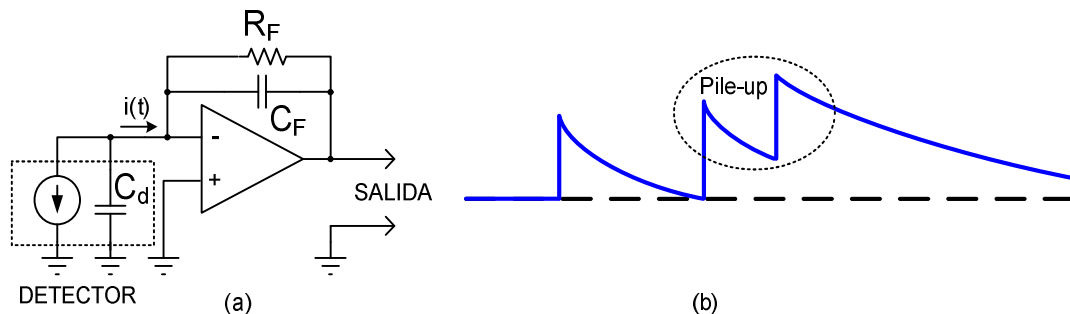


Figura 2.3. (a) Esquema de un preamplificador de carga. (b) Pulso de salida del preamplificador y formación de *pile-up*.

El preamplificador integra la corriente $i(t)$ en el condensador C_F , mientras que la resistencia R_F se utiliza para descargar el condensador y que la salida del integrador vuelva a cero con un tiempo de decaimiento $\tau_{pre} = R_F C_F$ (mucho más grande que la duración de la señal). Para tiempos $t \ll \tau_{pre}$ la señal resultante es muy similar a un escalón, pero con un tiempo de subida que no es cero, dada la duración limitada de la señal de corriente. La forma del pulso puede observarse

en la Figura 2.3(b). El valor de la resistencia R_F es un compromiso entre ruido y tasa de pulsos soportada por el preamplificador. Si el valor de R_F se hace grande, se minimiza su contribución al ruido total del preamplificador; pero por otro lado, el tiempo de decaimiento se incrementa y se puede producir solapamiento de pulsos o *pile-up* dando lugar a una amplitud que no se corresponde con la medida real de energía contenida en el pulso.

La *sensibilidad* del preamplificador es la relación entre la tensión de salida V_0 y la energía E depositada en un material detector dado. Esta relación se expresa generalmente en mV/MeV . La carga liberada por el detector es una función de la energía del fotón o partícula y el material del detector, y viene dado por:

$$Q_D = \frac{E \cdot e}{\epsilon} \quad (2.3)$$

donde E es la energía en eV de la radiación incidente, e es la carga de un electrón ($1.602 \cdot 10^{-19}$ Culombios), y ϵ es la cantidad de energía requerida para producir un par electrón-hueco en el detector. Los valores aproximados de ϵ para diversos detectores se dan en la Tabla 2.1.

Detector	ϵ (eV)
Silicio	3.62 (300° K) a 3.71 (77° K)
Germanio	2.98 (77° K)

Tabla 2.1. Valores de ϵ para varios detectores.

Por tanto, la tensión salida producida por un preamplificador sensible a la carga es:

$$V_0 = \frac{Q_D}{C_F} \quad (2.4)$$

y la sensibilidad del preamplificador puede expresarse como:

$$\text{sensibilidad} = \frac{V_0}{E} = \frac{e}{C_F \varepsilon} \quad (2.5)$$

En los siguientes apartados se explica con mayor detalle algunos aspectos de diseño del amplificador sensible a la carga.

2.1.1.1 Amplificador de carga ideal.

La Figura 2.4 representa el esquema ideal de un amplificador sensible a la carga. La capacidad C_F está conectada en la realimentación del amplificador principal con ganancia $-K_0$.

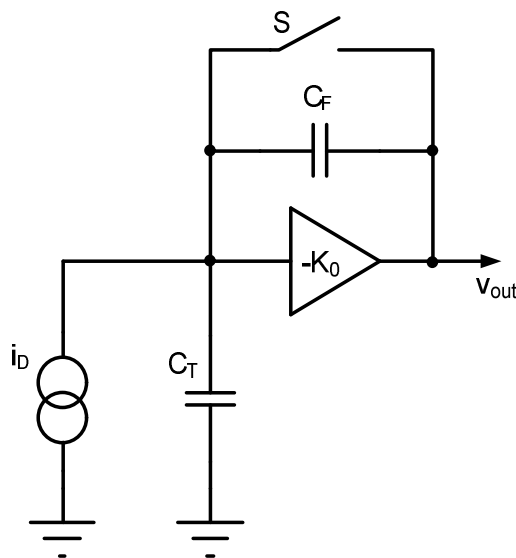


Figura 2.4. Esquema simplificado de un CSA.

Sumando la corriente en el nodo de entrada del CSA obtenemos:

$$i_D(s) = -\frac{v_{out}}{K_0} s C_T + \left(-\frac{v_{out}}{K_0} - v_{out} \right) s C_F \quad (2.6)$$

donde v_{out} es la tensión a la salida del CSA.

A partir de la ecuación anterior obtenemos la función de transferencia:

$$\frac{v_{out}(s)}{i_D(s)} = -\frac{1}{s} \frac{K_0}{(K_0 + 1)C_F + C_T} \quad (2.7)$$

Si hacemos $K_0 \gg 1$ se simplifica de la siguiente forma:

$$\frac{v_{out}(s)}{i_D(s)} \approx -\frac{1}{s C_F} \quad (2.8)$$

Usando la ecuación (2.7) la señal a la salida del CSA se puede escribir como:

$$v_{out}(t) = -\frac{K_0}{(K_0 + 1)C_F + C_T} \int_0^{t_{imp}} i_D(t) dt \quad (2.9)$$

donde t_{imp} es el tiempo de recolección de la carga en el electrodo del detector.

Si consideramos que en la entrada el pulso de corriente es $i_D(t) = Q_{in} \delta(t)$, obtenemos a la salida del CSA un escalón de voltaje proporcional a la carga total inyectada en el detector:

$$v_{out}(t) = -\frac{K_0}{(K_0 + 1)C_F + C_T} Q_{in} \quad (2.10)$$

Para $K_0 \gg 1$, la ecuación anterior se puede simplificar como:

$$v_{out}(t) = -\frac{Q_{in}}{C_F} \quad (2.11)$$

La característica más importante de un CSA ideal es la independencia de la tensión de salida de la capacidad del detector, que está garantizada por el siguiente requisito:

$$(K_0 + 1)C_F \gg C_T \quad (2.12)$$

Para un integrador ideal su impedancia de entrada Z_{in} es capacitiva y la alta impedancia efectiva de entrada viene garantizada por la alta ganancia K_0 del amplificador (debido al efecto Miller [Gra01]):

$$Z_{in}(s) = \frac{1}{(K_0 + 1)s C_F} \approx \frac{1}{K_0 s C_F} \quad (2.13)$$

La gran capacidad de entrada del CSA y los requisitos de la ecuación (2.12) garantizan que la mayoría de la carga producida por el detector se transfiere al amplificador.

2.1.1.2 Amplificador de carga real.

En un CSA real se deben tener en cuenta dos aspectos adicionales:

1. La capacidad de realimentación C_F tiene que descargarse para evitar la saturación del amplificador, por ejemplo, mediante una resistencia R_F conectada en paralelo con C_F .
2. El amplificador empleado tiene una ganancia de tensión dependiente de la frecuencia, que en su forma más simple con un polo puede escribirse como:

$$\frac{v_{out}(s)}{v_{in}(s)} = K_V = -\frac{K_0}{1 + s/\omega_0} \quad (2.14)$$

donde K_0 es la ganancia en DC y ω_0 es el polo dominante del amplificador. El producto ganancia-ancho de banda del amplificador es $GBW = K_0 \omega_0$. En la Figura 2.5 se muestra el CSA con un buffer adicional de ganancia unidad para asegurar una impedancia de salida pequeña.

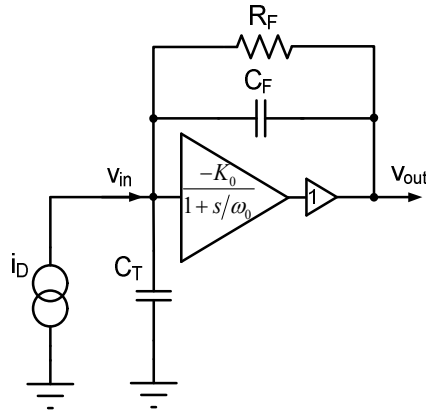


Figura 2.5. Amplificador sensible a la carga basado en un amplificador con ganancia de voltaje dependiente de la frecuencia.

Analizando el circuito y suponiendo que la ganancia en bucle abierto es suficientemente grande $K_0 \gg 1$ y que la constante de tiempo es mucho mayor que la inversa del ancho de banda del amplificador $R_f C_F \gg 1/GBW$, el polo dominante del circuito es:

$$\omega_1 = \frac{1}{R_f C_F + \frac{1}{GBW}} \approx \frac{1}{R_f C_F} \quad (2.15)$$

El segundo polo de alta frecuencia es:

$$\omega_2 \approx GBW \frac{C_F}{C_T + C_F} \quad (2.16)$$

Tenemos de esta forma dos constantes de tiempo asociadas a los polos anteriores: $\tau_f = 1/\omega_1$ y $\tau_2 = 1/\omega_2$. La constante de tiempo τ_f es responsable del lento decaimiento de la señal y τ_2 determina el tiempo de subida de la salida del CSA. En el dominio del tiempo, dado el impulso de corriente $i_D(t) = Q_{in} \delta(t)$, se obtiene la siguiente respuesta:

$$v_{out}(t) = -\frac{Q_{in}}{C_F} \frac{\tau_f}{\tau_f - \tau_2} \left(e^{-t/\tau_f} - e^{-t/\tau_2} \right) \quad (2.17)$$

Para resistencias de realimentación R_F muy altas obtenemos una tensión de salida:

$$v_{out}(t) \approx -\frac{Q_{in}}{C_F} (1 - e^{-t/\tau_2}) \quad (2.18)$$

Para un amplificador con un GBW muy grande, la señal de salida viene dada por la ecuación:

$$v_{out}(t) \approx -\frac{Q_{in}}{C_F} e^{-t/\tau_2} \quad (2.19)$$

En la Figura 2.6 se puede observar la respuesta transitoria de la salida del preamplificador para diferentes constantes de tiempo.

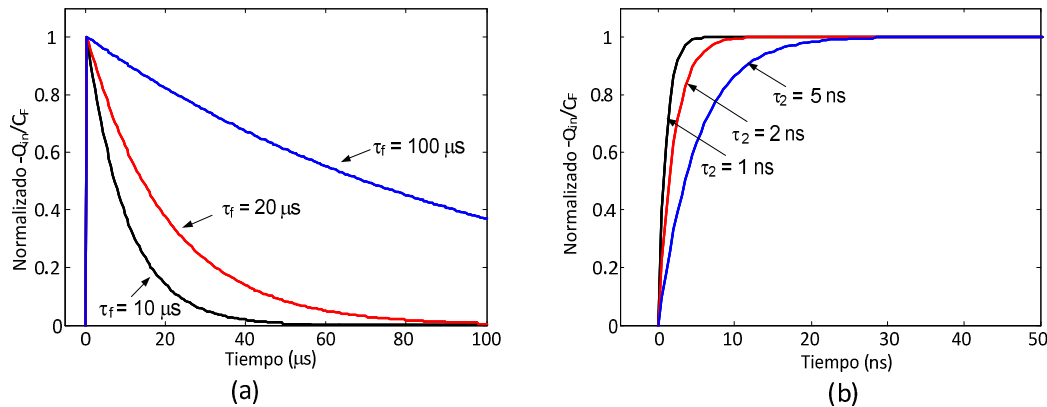


Figura 2.6. Salida del CSA (a) τ_f determina el decaimiento, (b) τ_2 determina el tiempo de subida.

El CSA real también tiene una impedancia de entrada distinta del ideal que para bajas frecuencias viene dada por:

$$Z_{in}(s) \approx \frac{1}{K_0} \left(\frac{R_F}{1 + s C_F R_F} \right) \quad (2.20)$$

Para R_F muy grandes la ecuación anterior ofrece el mismo resultado que la ecuación (2.13) y la impedancia de entrada aparece capacitiva, con la capacidad efectiva $C_{in} \approx K_0 C_F$.

La impedancia de entrada del CSA para R_F grande y para altas frecuencias $\omega \gg \omega_0$ es:

$$Z_{in}(s) \approx \frac{s}{GBW} \frac{1}{s C_F} = \frac{1}{C_F GBW} \quad (2.21)$$

Esta impedancia aparece como una resistencia $R_{in} = (C_F GBW)^{-1}$. La situación a la entrada del amplificador llega a ser similar a la Figura 2.1. La constante de tiempo en la entrada del CSA $\tau_{in} = R_{in} C_T$ vale:

$$\tau_{in} = \frac{C_T}{C_F GBW} \quad (2.22)$$

El ancho de banda del amplificador debe ser suficientemente grande para transferir rápidamente la carga generada por el detector al amplificador CSA.

2.1.1.3 Configuración de realimentación.

Tras la integración de un pulso de corriente en el CSA, el condensador de realimentación C_F debe descargarse mediante el interruptor de reset (Figura 2.4) durante un corto periodo de tiempo para prevenir la saturación del amplificador [Ger01]. Hay dos técnicas básicas implementadas para la descarga de la capacidad de realimentación: interruptor de reset y descarga continua.

Un interruptor de reset es una técnica que se muestra en la Figura 2.7(a) [Kle88] [Wal84]. Un circuito de conmutación descarga de forma periódica el condensador de realimentación. La señal de disparo para la descarga del condensador puede proporcionarse por el reloj central de un experimento o generarse de forma individual para cada canal *front-end*.

En algunos experimentos, las señales aparecen de forma aleatoria en el tiempo y de forma independiente en varios canales. Tras recibir una señal del electrodo del detector, el circuito debe generar una señal de disparo para

descargar el condensador. Para generar esta señal de disparo es necesario implementar un discriminador de umbral en cada canal. También se puede aplicar una señal de reset a todos los canales de forma síncrona, tras un periodo de tiempo, teniendo en cuenta la tasa máxima de llegada de pulsos y el límite de saturación del CSA. Sin embargo, esta solución provoca un tiempo muerto adicional para el sistema completo. Las desventajas de esta solución son el ruido de muestreo y un posible problema con la inyección de carga desde el voltaje de control del interruptor.

La descarga de forma continua puede hacerse o bien mediante una resistencia en paralelo al condensador (Figura 2.7b) o por una fuente de corriente controlada (Figura 2.7c). En cualquier caso, el componente de descarga contribuye al ruido paralelo en la entrada del CSA. Para limitar esta fuente de ruido, debemos usar una resistencia de valor elevado o una corriente de descarga baja. El empleo de una resistencia parece ser una solución simple, sin embargo la resistencia debe estar en el rango de cientos de $K\Omega$ a unos pocos $G\Omega$, existiendo un compromiso entre ruido y máxima tasa de pulsos que llega al detector.

En el diseño de sistemas front-end integrados en un chip, resulta difícil obtener grandes valores de resistencia con una capacidad parásita pequeña. En lugar de una simple resistencia, algunos diseñadores emplean un transistor MOS de realimentación trabajando en región triodo o región lineal [Beu90] [Ger99] [Gry08]. Esta es una solución compacta con la posibilidad de controlar la resistencia de realimentación, sin embargo, deben tenerse en cuenta efectos no lineales.

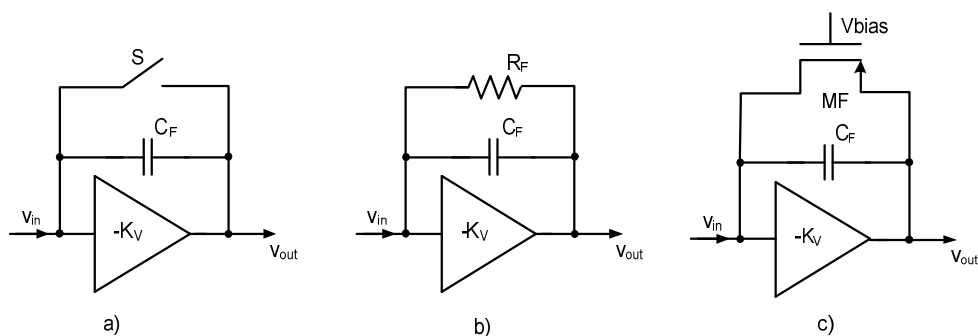


Figura 2.7. Sistemas más comúnmente usados para realizar el reset del condensador de realimentación en un CSA. (a) Interruptor, (b) Descarga continua a través de una resistencia, (c) Descarga continua a través de un elemento activo.

2.1.1.4 Circuito de inyección de test.

Esta opción la suelen incorporar todos los diseños de preamplificadores de carga para verificar su correcto funcionamiento cuando el detector todavía no ha sido conectado, añadiendo un terminal adicional. De esta forma, para medir parámetros analógicos debemos inyectar alguna carga en la entrada del CSA que simule la carga que suministraría un detector.

La forma habitual de realizarlo es aplicando un escalón de tensión a través de un pequeño condensador de test en la entrada del CSA como muestra la Figura 2.8.

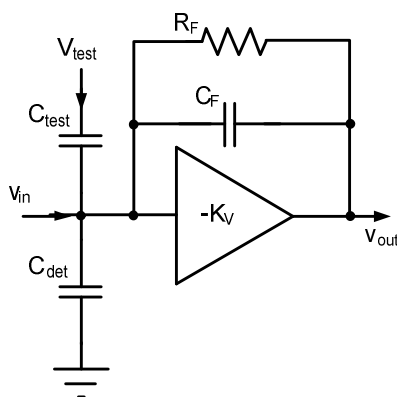


Figura 2.8. Pequeño condensador C_{test} colocado en la entrada del CSA que funciona como inyector de carga.

La carga inyectada es igual a:

$$Q_{test} = \Delta V_{test} \frac{C_{test}}{1 + \frac{C_{test}}{C_{det} + (K_V + 1)C_F}} \approx \Delta V_{test} C_{test} \quad (2.23)$$

En la práctica $C_{test} \ll C_{det} \ll (K_V + 1)C_F$, por lo que la carga inyectada Q_{test} es absorbida totalmente en el CSA. El escalón de voltaje se aplica de forma externa mediante una entrada auxiliar, denominada “entrada de test”.

2.2 Principales parámetros de un preamplificador.

El parámetro más importante del preamplificador es su sensibilidad, que ya hemos calculado anteriormente. El término “ganancia” como una medida de amplificación no se aplica al preamplificador sensible a la carga; debe usarse en su lugar el término “sensibilidad a la carga”, con unidades de voltios por unidad de energía.

Para obtener los parámetros se suele emplear una configuración de test como la mostrada en la Figura 2.9 (véase [IEE88]). La carga Q_{test} , equivalente a la energía conocida, E_{test} , debe ser inyectada en el preamplificador, y la amplitud del pulso V_p resultante de esta carga debe ser medida a la salida de un amplificador de pulso o shaper (circuito que veremos con detalle en el siguiente capítulo) para determinar la ganancia del sistema V_p/E . El tiempo de integración del amplificador de pulso debe fijarse a su valor más pequeño.

La carga puede ser inyectada mediante un generador de pulsos que proporcione pulsos de tensión de pico V_T conectado a la entrada del preamplificador a través de una capacidad C_{test} presente en la entrada de test. Este condensador suele ser de unos pocos picofaradios y determina la relación

entre la tensión del pulso y la carga inyectada en el preamplificador según la ecuación (2.23).

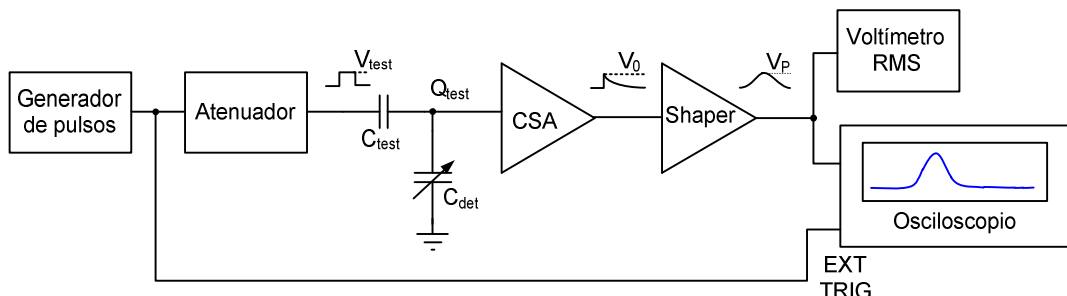


Figura 2.9. Montaje para medir varios parámetros del preamplificador sensible a la carga.

Para que esta prueba tenga sentido, se debe conectar una capacidad en paralelo con la entrada del preamplificador que sea similar a la capacidad C_{det} que presentaría el detector a la tensión de polarización de funcionamiento. Esta capacidad se obtiene con un condensador variable o caja de condensadores, de forma que se pueda probar la respuesta del preamplificador para distintas capacidades.

2.2.1 Capacidad de entrada.

La capacidad de entrada del amplificador influye como hemos visto en el tiempo de subida, y por tanto, en la respuesta del preamplificador frente a medidas de tiempo.

Es posible medir la capacidad de entrada para el amplificador mediante un simple montaje de puente de capacidades o puente de Wheatstone. Equilibrando el puente se puede medir la capacidad que presenta la entrada del preamplificador.

2.2.2 No linealidad integral y diferencial.

Una curvatura de la respuesta característica V_o frente V_{in} constituye la no linealidad. La no linealidad integral, ilustrada en la Figura 2.10, se define como $100 \Delta V_o / V_m$, donde V_o es la desviación máxima entre las dos líneas, y V_m es el voltaje máximo de salida fijado.

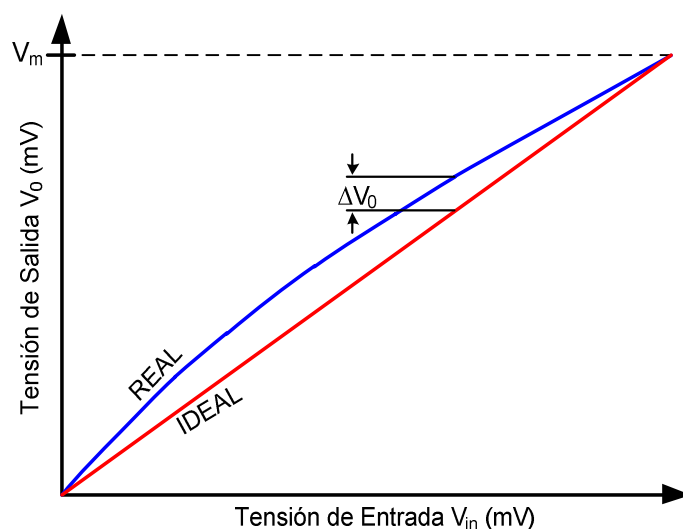


Figura 2.10. Ilustración de la no linealidad diferencial.

La no linealidad se mide con la configuración de test de la Figura 2.11.

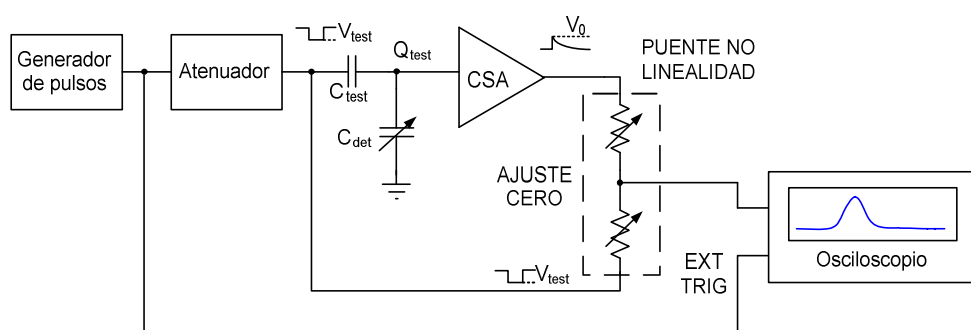


Figura 2.11. Sistema para medir la no linealidad de amplificadores.

Se emplea un puente de no linealidad que consiste básicamente en dos resistencias conectadas en serie (normalmente $1K\Omega$ cada una), una de las cuales

está conectada al amplificador bajo test y la otra al generador de señal (ver el bloque puente en la figura). Si las dos señales son de polaridades opuestas pero iguales en amplitud, tendrá lugar un nulo. Al testear el amplificador y variar la salida del generador no cambiará el nulo si el amplificador es perfectamente lineal, pero lo hará si es no lineal.

En un amplificador moderno, ΔV_o puede ser menor del 0.01% de V_m en el punto de máxima desviación. Cuando se emplea un puente para medir la no linealidad, la intersección de las líneas en V_m se establece poniendo a cero el puente en este punto.

En el estándar IEEE 300-1988, podemos encontrar información para el diseño del puente y detalles para efectuar la medida [IEE88].

Debido a que el puente amplifica la diferencia entre dos grandes voltajes y permite realizar comparaciones de alta sensibilidad, tiene usos además de la medida de no linealidad, en el examen de la parte superior de un pulso de un generador para determinar si existe cualquier sobreoscilación que pueda encontrarse en el dispositivo bajo test o en el generador. Este examen resulta posible comparando la salida del generador frente a un voltaje DC.

La no linealidad debe expresarse como un porcentaje de la salida máxima especificada para el rango de voltajes de salida y el método empleado será el mismo que el que se empleará para el testeo de amplificadores de conformado o Shaper en el capítulo siguiente.

2.2.3 Ruido y tiempo de subida.

Las características relativas al ruido de los preamplificadores sensibles a la carga, se especifican generalmente como el ancho a la mitad del máximo (FWHM, *Full Width at Half Maximum*) de la línea de energía generada en el espectro de una fuente radioactiva de prueba que inyecta carga a la entrada del preamplificador. Para realizar esta medida directamente deberíamos disponer de un analizador multicanal calibrado y comparar dos líneas de energía del histograma tal como lo recoge el estándar IEEE 300-1998. Sin embargo, es posible realizar su medida de forma indirecta midiendo la amplitud de la señal de salida de ruido sin estar presente la fuente radioactiva y convirtiendo esta señal de salida en señal de energía equivalente a la entrada del sistema, o sea expresado en unidades de energía de entrada equivalente. En un amplificador lineal, esta relación no cambia de la entrada a la salida, solo que si se mide el ruido en la salida, el ruido en la entrada equivalente estará afectado por el valor de sensibilidad del amplificador.

El ruido en los preamplificadores sensibles a la carga se controla generalmente mediante cuatro componentes: el transistor de efecto de campo de la entrada (FET), la capacidad total en la entrada (C_F , la capacitancia del detector, etc), la resistencia conectada a la entrada, y las corrientes de fuga del detector y FET.

El FET se selecciona para que sea de bajo ruido, y en algunas aplicaciones se enfría a temperaturas cercanas a la del nitrógeno líquido para mejorar su rendimiento. En aplicaciones con FET refrigerados, el detector y preamplificador se construyen generalmente como un conjunto integral. Al emplear preamplificadores a temperatura ambiente, el usuario controla las principales fuentes que contribuyen a la capacidad de entrada en la mayoría de

aplicaciones, debido a que el preamplificador está diseñado con un circuito de mínima capacidad interna.

La capacidad proviene del detector seleccionado para un experimento y del cableado entre el preamplificador y el detector. La Figura 2.12 muestra el ruido en función de la capacidad externa para un preamplificador típico.

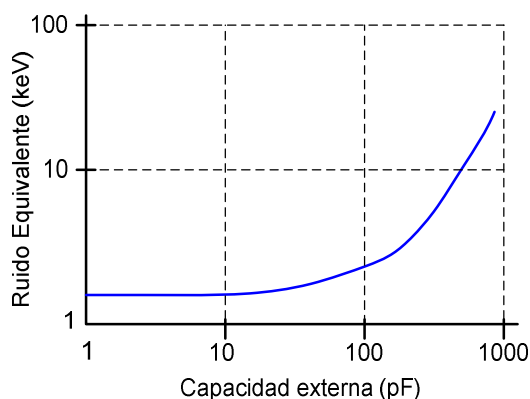


Figura 2.12. Ruido frente a capacidad externa para un amplificador sensible a la carga típico.

Con la configuración de test de la Figura 2.9, el ruido del preamplificador puede determinarse midiendo el valor cuadrático medio (RMS) del voltaje de ruido V_{rms} a la salida del amplificador conformador de pulso (shaper) en ausencia de cualquier pulso. El parámetro V_{rms} se debe multiplicar por 2,35 para convertirlo en una especificación FWHM, quedando la siguiente ecuación:

$$ruido\ equi\ valente = 2.35 \frac{E}{V_p} V_{rms} \quad (2.24)$$

Para aplicaciones de temporización en el que se usa la salida del preamplificador, es interesante disponer de un tiempo de subida lo más bajo posible para que no afecte a la resolución temporal del sistema. El preamplificador puede limitar el tiempo de subida de V_0 . Para los detectores de silicio, la resolución de tiempo del sistema está limitada por la relación del

ruido FWHM a la salida del preamplificador e_{no} con respecto a la pendiente dV_o / dt :

$$\text{resolución de temporización (FWHM)} = e_{no} / (dV_o / dt) \quad (2.25)$$

En la Figura 2.13 se muestra un diagrama del tiempo de subida del preamplificador sensible a carga frente a la capacidad del detector.

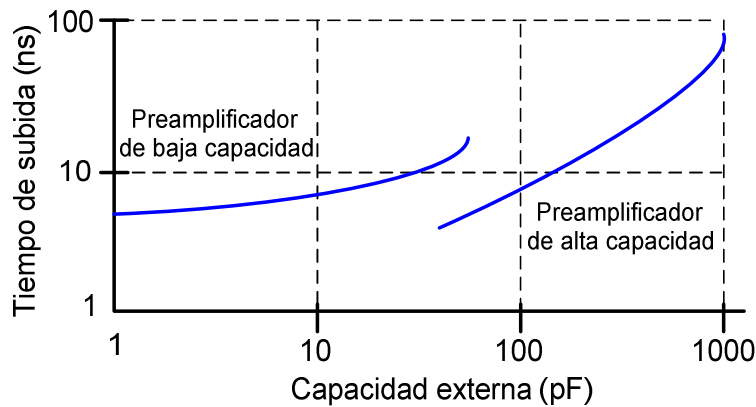


Figura 2.13. Tiempo de subida típico en función de la capacidad de entrada.

Es deseable mantener la capacidad externa al mínimo para obtener la mejor resolución de tiempo, así como la mejor resolución de energía.

2.2.4 Tasa de conteo máxima y tiempo muerto.

Para estimar la tasa de conteo máxima r_{max} que puede ser satisfecha por un preamplificador sensible a la carga a un nivel de energía en particular, es necesario identificar el tipo de preamplificador considerado (véase [IEE88]).

La tasa máxima de conteo tolerada está limitada por las fluctuaciones de la señal y la tensión máxima V_m permitida a la salida del circuito de carga:

$$r_{max} = \frac{1.2V_m^2 \epsilon^2 C_F \cdot 10^{25}}{E^2 R_F} \quad (2.26)$$

Las unidades son: r_{\max} en s^{-1} , V_m en voltios, ε en eV, E en MeV, C_F en faradios, y R_F en ohmios. Si el “producto energía-tasa de conteo al cuadrado” (esto es, $E_1 C_{RF} = E^2 r_{\max}$) aparece listado para el amplificador, la tasa de conteo máxima tolerada a la energía E puede calcularse dividiendo el valor $E^2 C_{RF}$ por E^2 . Con preamplificadores que emplean el reset pulsado, la tasa máxima de conteo para el preamplificador es la tasa de conteo a la que el porcentaje de tiempo muerto causado por el reset llega a ser intolerable. El porcentaje de tiempo muerto resultante para el reseteo del preamplificador se puede calcular como:

$$\text{Porcentaje de tiempo muerto por reset} = 100 E r T_{\text{reset}} / E_{\text{reset}} \quad (2.27)$$

donde r es la tasa de conteo de los eventos de energía E , E_{reset} es la energía total aceptada entre resets, y T_{reset} es el tiempo muerto causado por cada reset. Una aproximación para T_{reset} puede obtenerse sumando el tiempo de reset del preamplificador al tiempo de recuperación de sobrecarga del preamplificador. Normalmente, la recuperación de sobrecarga al largo pulso de reset de un amplificador es la principal contribución al tiempo muerto en el reset.

2.3 Diseño del circuito.

En este apartado se presenta el diseño y la implementación de un amplificador sensible a la carga con una topología compacta y salida dual adecuado para detectores de silicio operando a temperatura ambiente. El preamplificador se ha optimizado para la medida de rangos de energías medias y bajas desde 0 a 50MeV y se acopla a detectores de capacidad media, con un límite superior de 100 pF.

Las especificaciones del diseño son las siguientes:

- Capacidad mínima de entrada de unos 50pF y máxima de unos 100pF.
- Sensibilidad a la carga de 50mV/MeV.
- Alimentación estándar de $\pm 6V$ DC: El circuito se alimentará mediante una alimentación simétrica y consumirá una potencia menor de 100mW.
- Salida E y T: El circuito debe disponer de dos salidas denominadas *E* (*energy*) y *T* (*time*), ambas analógicas. Una de ellas se corresponde con la medida de la energía y la otra es un pulso muy estrecho similar a la entrada utilizado para aplicaciones de temporización. Ambas salidas tendrán una impedancia de 50Ω y deben estar cargadas para evitar el acoplamiento de ruido.
- Entrada de polarización (BIAS): Los detectores de silicio necesitan una tensión de polarización, por lo que el circuito dispone de una entrada de tensión DC para polarizar directamente el detector mediante la conexión de entrada.
- Amplitud mínima de salida de 2V.
- Tiempo de retorno o decaimiento de $50\mu s$: La señal de salida *E*, es un pulso de tensión con un tiempo de subida muy rápido y un retorno lento a la línea de base exponencial.
- Tiempo de subida menor de 50ns.

Como característica de la aplicación cabe destacar que la polaridad de la señal *E* está invertida con respecto a la polaridad de la señal de salida del detector, y la señal *T*, empleada para temporización, tiene la misma polaridad que la señal del detector.

El diagrama de bloques del preamplificador diseñado se muestra en la Figura 2.14. El primer elemento consiste en una red de polarización de alta tensión necesaria para la correcta polarización del detector de silicio (unión pn polarizada en inverso) y su adaptación a la etapa de entrada. A continuación se encuentra la etapa de amplificación utilizando una configuración integradora a cuya salida se obtiene un pulso de tensión de amplitud proporcional a la energía depositada en el detector. Se le denominada salida de “carga” o de “energía”. Finalmente, la señal de energía es introducida en una etapa diferenciadora para obtener la señal de temporización, o salida en “corriente” ya que es una representación precisa de la corriente recogida en el detector.

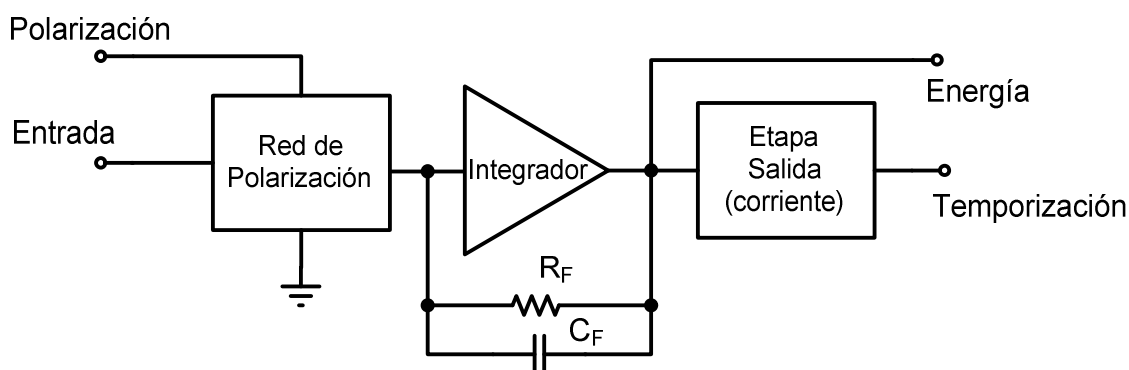


Figura 2.14. Diagrama de bloques del preamplificador diseñado.

2.3.1 Análisis de la etapa de polarización.

Esta etapa tiene la misión de polarizar de forma adecuada el detector de silicio con tensiones que suelen valer varias decenas de voltios e incluso por encima de los 100V para alcanzar determinados niveles de resolución. Esta polarización se realiza mediante una red resistiva que presenta una alta impedancia frente a la señal, de forma que esta no se vea atenuada frente a la alta impedancia de entrada del preamplificador.

La etapa de polarización tiene una doble función, debe filtrar de forma adecuada esta tensión continua para evitar que se pueda inducir ruido o bucles de tierra sobre la entrada y que estas señales indeseadas sean amplificadas por la cadena de instrumentación.

La Figura 2.15 muestra el esquema de esta etapa. La resistencia R_B se encarga de inyectar la tensión de polarización en el detector, mientras que el condensador C_1 desacopla la señal generada en el detector al impactar la partícula de la tensión de polarización continua.

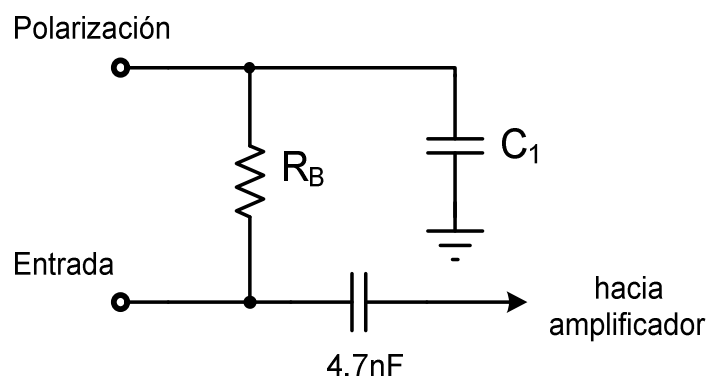


Figura 2.15. Etapa de polarización del preamplificador de carga.

2.3.2 Etapa de amplificación.

La mayoría de las soluciones convencionales de esta etapa incluyen un transistor de entrada que proporciona alta impedancia de entrada y una elevada transconductancia gm , seguido de un amplificador de transimpedancia utilizando una topología folded-cascodo [Zoc08]. La combinación de ambos da lugar a una ganancia en bucle abierto muy alta.

La etapa de amplificación utilizada en este trabajo se muestra en la Figura 2.16. Está basada en un transistor JFET de alta frecuencia, en combinación con un amplificador operacional. Se ha elegido el JFET de canal N BF861C de

Phillips por su alta transconductancia resultando además adecuado para aplicaciones de radiofrecuencia de bajo ruido. La capacidad interna que tiene también es pequeña $C_{gs} = 10\text{pF}$. Para el amplificador operacional se ha empleado el AD8011 de Analog Devices por su gran ancho de banda de 300MHz para ganancia unidad, gran slew rate de $2000\text{V}/\mu\text{s}$ y por su bajo consumo de tan solo 1mA. Este amplificador realimentado en corriente dispone de una entrada diferencial como los amplificadores convencionales realimentados en tensión, pero esta entrada es sensible a la corriente en lugar de la tensión diferencial. La principal ventaja de estos amplificadores es su amplio ancho de banda, que le proporcionan una tasa de subida muy rápida y lo hacen idóneos para este tipo de aplicaciones. Los amplificadores operacionales realimentados en corriente sacrifican la precisión en DC para proporcionar un gran ancho de banda relativamente independiente de la ganancia. Como contrapartida, estos amplificadores son más difíciles de estabilizar, siendo conveniente disponer de una pequeña realimentación negativa para mejorar la estabilidad.

Según este esquema, cuando una partícula colisiona con el detector, la inyección de carga es introducida mediante un transistor JFET en la etapa de amplificación. Dicha etapa realiza la integración de la carga, obteniendo una tensión proporcional a la energía liberada por la colisión. La utilización del JFET tiene una doble función: en primer lugar adaptar la alta impedancia presente en la entrada con la baja impedancia de salida del amplificador operacional.

En este diseño, se ha incorporado una pequeña cantidad de realimentación negativa para dar estabilidad al circuito. Esta realimentación se consigue con la ayuda de la resistencia R_c . El valor de este componente se ha optimizado para las características del detector empleado en la aplicación. Si esta resistencia tiene un valor bajo, el nivel de realimentación también es bajo y la señal es

amplificada con el máximo ancho de banda del amplificador. Si aumenta el valor de esta resistencia, se introduce una realimentación negativa que provoca la disminución del ancho de banda del amplificador mejorando la estabilidad, pero aumentando por el contrario el tiempo de subida del pulso de salida y degradando la respuesta temporal del circuito.

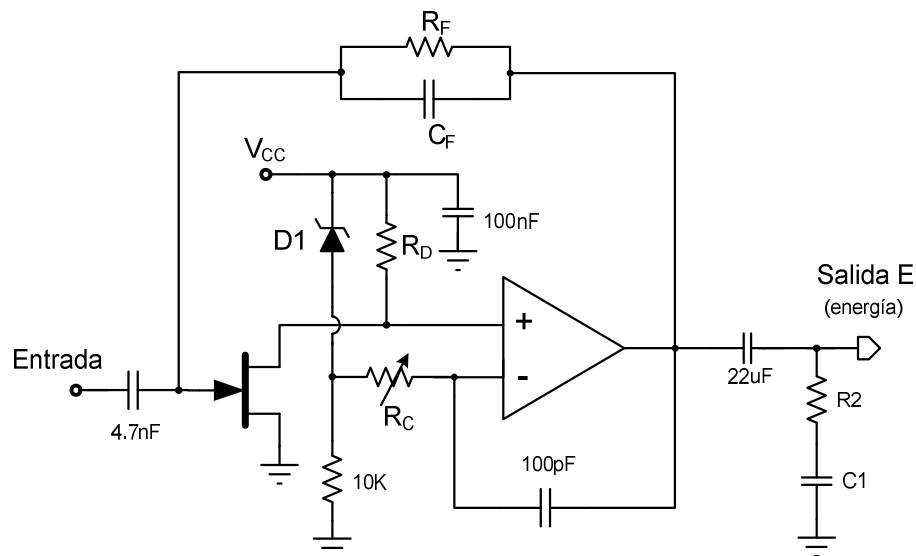


Figura 2.16. Etapa de amplificación del preamplificador sensible a la carga.

Para conseguir la polarización del JFET utilizamos la resistencia en paralelo con el condensador de realimentación negativa del integrador R_F . De esta forma en DC, la tensión fijada en ambas entradas del amplificador diferencial por acción de la realimentación tenderá a ser la misma.

Para establecer la corriente de drenador del transistor fijamos la tensión en la entrada negativa del operacional mediante un diodo zener (LM4040) de tensión $V_z=2.5V$. Teniendo en cuenta que la tensión de alimentación $V_{CC} = 6V$, la tensión en el drenador del JFET queda fijada por acción de la realimentación en 3.5V. La resistencia de polarización R_D se ha fijado en 500Ω para obtener una corriente de polarización del JFET de aproximadamente 5mA. En las

simulaciones que se han realizado en el punto de polarización mencionado, la transconductancia del JFET es de 25 mS.

Podemos calcular la capacidad del integrador C_F necesaria para conseguir la sensibilidad de las especificaciones 50mV/MeV teniendo en cuenta las ecuaciones (2.3) y (2.4). De esta forma el condensador de realimentación del integrador C_F será:

$$C_F = \frac{10^6 \cdot e}{V_{out} \cdot \varepsilon} \Rightarrow C_F = \frac{10^6 \cdot 1.602 \cdot 10^{-19}}{100 \cdot 10^{-3} \cdot 3.62} \approx 1 \text{ pF} \quad (2.28)$$

El tiempo de decaimiento de la señal de salida es aproximadamente 5 veces la constante de tiempo $\tau_F = R_F C_F$. Para cumplir la especificación de un tiempo de decaimiento de 50 μ s, la resistencia R_F se ha fijado en 10M Ω .

En la salida se ha añadido una red de ecualización formada por R_2 y C_1 cuya finalidad es la de filtrar el sobreimpulso que se produce durante el flanco de subida de la señal de salida

2.3.3 Etapa de generación de corriente.

La etapa de salida que genera la señal de corriente se puede observar en la Figura 2.17. Está compuesta por el transistor Q_3 en configuración de emisor seguidor polarizado con la fuente de corriente Q_2 .

El circuito es alimentado por la señal de carga o energía (E), de forma que el pulso de subida de esta señal carga el condensador C_L y esto provoca un pulso de corriente muy estrecho suministrado por el emisor de Q_3 . Una etapa en base común, formada por el transistor Q_4 , se ha colocado en el colector de Q_3 con objeto de convertir a tensión este pulso de corriente. La conversión se

realiza en la resistencia R_L . Finalmente, una etapa en configuración de seguidor de emisor formada por el transistor Q_5 proporciona la señal al nodo de salida. Esta tensión de salida representa la "corriente" de salida ($V_{out} \approx I_e(Q_4) \cdot R_L$ y $I_e(Q_4) \approx I_e(Q_3)$).

El pulso de corriente tiene forma de pulso negativo de altura proporcional al tiempo de subida de la señal de carga. Esta es la señal T, que emplearemos en aplicaciones de temporización puesto que está disponible inmediatamente con la llegada del pulso de entrada y la pendiente de su flanco de ataque es muy pronunciada, lo que provoca un escaso "jitter" en un discriminador que emplee esta señal.

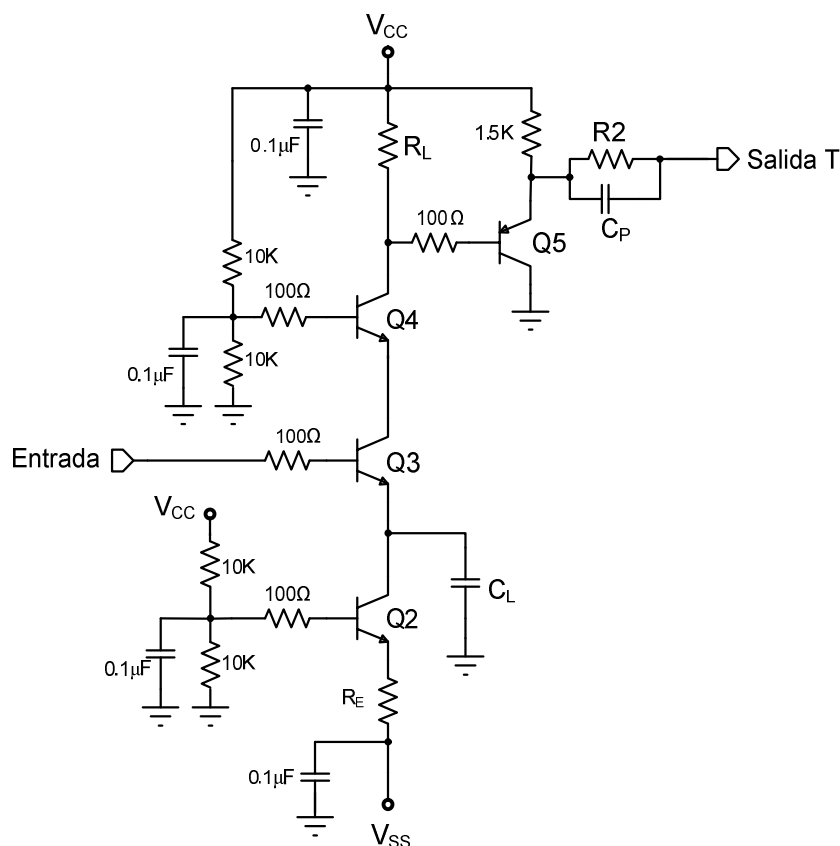


Figura 2.17. Etapa de generación de la señal de corriente.

Las resistencias de bajo valor en las bases de los transistores son necesarias para la estabilización del circuito en alta frecuencia. La corriente estática en la rama de transistores se ha fijado con ayuda de la resistencia R_E a un valor de 5mA. El pulso para cargar aparece en R_L y es amplificado e invertido por Q_5 . En la red de alimentación se dispone de condensadores de desacoplo en todos los puntos necesarios.

2.4 Resultados experimentales.

Se han realizado varios prototipos del amplificador sensible a la carga en placas de circuito impreso de dos y cuatro capas. En todos los casos el circuito fue alimentando con tensiones de $VCC = 6V$ y de $VSS = -6V$. El consumo total de potencia fue de sólo 15mW. En la Figura 2.18 se observa una fotografía de una PCB de dos capas con unas dimensiones de 30 x 15 mm.

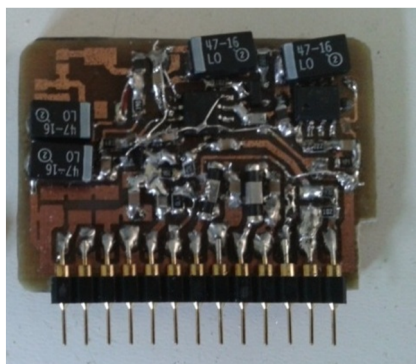


Figura 2.18. Fotografía del preamplificador sensible a la carga en una PCB de 2 capas.

Con objeto de mejorar el comportamiento frente al ruido del anterior diseño, se fabricó un prototipo final en una placa de circuito impreso de 4 capas y con un formato distinto. La fotografía se puede observar en la Figura 2.19 y las dimensiones son 35 x 52 mm.

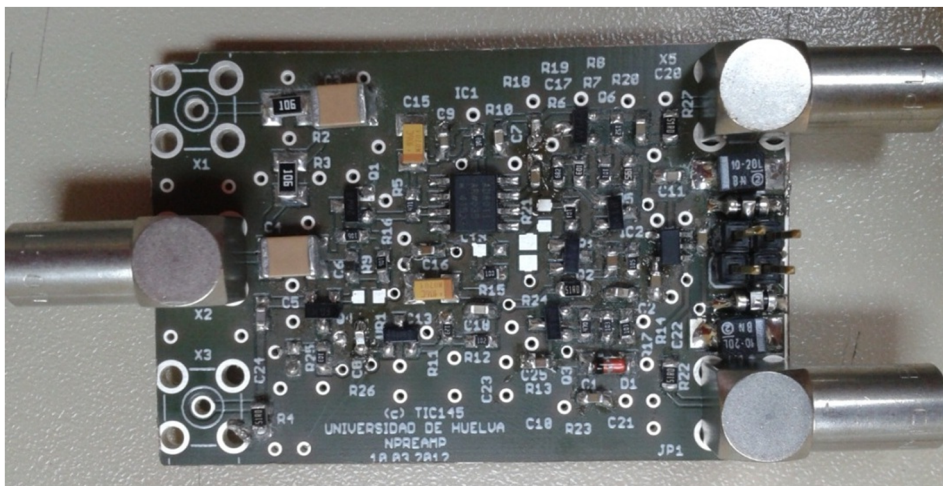


Figura 2.19. Fotografía del prototipo del preamplificador en una PCB de cuatro capas.

En el prototipo final se emplearon técnicas de diseño de PCB para minimizar la impedancia del plano de masa empleando una placa de circuito impreso multicapa con extensos planos de masa y ecualizando las líneas mediante pistas de cobre para mantener la impedancia controlada.

El prototipo final construido ha sido testeado con el fin de comprobar su correcto funcionamiento. La configuración de test se puede observar en la Figura 2.20. Las pruebas consisten en la generación de pulsos estrechos negativos procedentes del generador de forma de onda arbitraria Agilent 81160A emulando a los pulsos que generaría un detector de silicio. Los pulsos se configuraron con un ancho de 20 ns y un tiempo de subida de 1 ns con amplitudes variables. La salida SYNC del generador de pulsos se conecta al osciloscopio como fuente de disparo externo. El osciloscopio empleado fue el Agilent MSO9404 de 4GHz de ancho de banda.

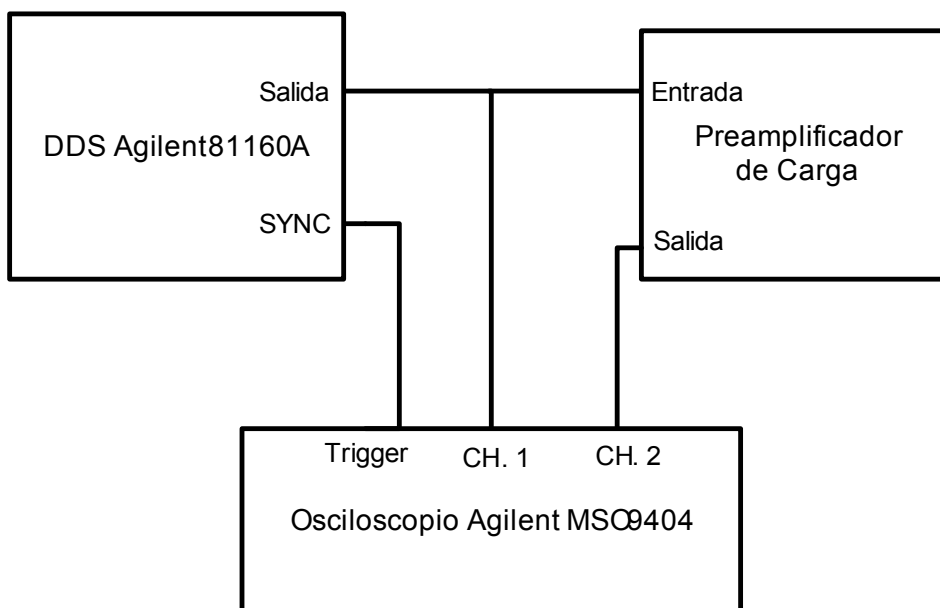


Figura 2.20. Diagrama de configuración de test.

La Figura 2.21 muestra los resultados de medida sobre el osciloscopio para una energía de entrada de 5MeV. La señal de carga tiene un tiempo de subida de tan sólo 15ns y una amplitud de aproximadamente 250mV cumpliendo la sensibilidad requerida. Se puede observar también el pulso de "corriente" cuya duración se corresponde con el tiempo de subida de la señal de carga. En la salida no se observan oscilaciones siempre que se coloque a la entrada una capacidad que se encuentre dentro de las especificaciones.

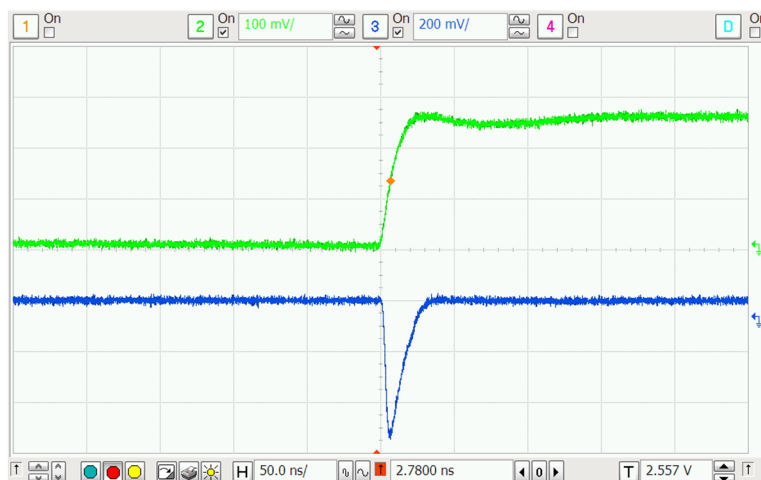


Figura 2.21. Señal de salida de energía (verde) y de corriente (azul) para 5MeV de entrada.

En el prototipo se han observado autooscilaciones cuando se ha dejado la entrada desconectada. Estas autooscilaciones se producen entorno a los 90MHz y remiten cuando se coloca una capacidad en la entrada mayor de 50pF. También se pueden observar inestabilidades en la salida si el cable colocado entre sensor y preamplificador es muy largo.

En la Figura 2.22 se observan las variaciones en el tiempo de subida de la señal de salida en función de la capacidad del detector a la entrada determinadas de forma experimental. Se observa cómo esta variación es pequeña para capacidades de entrada razonables.

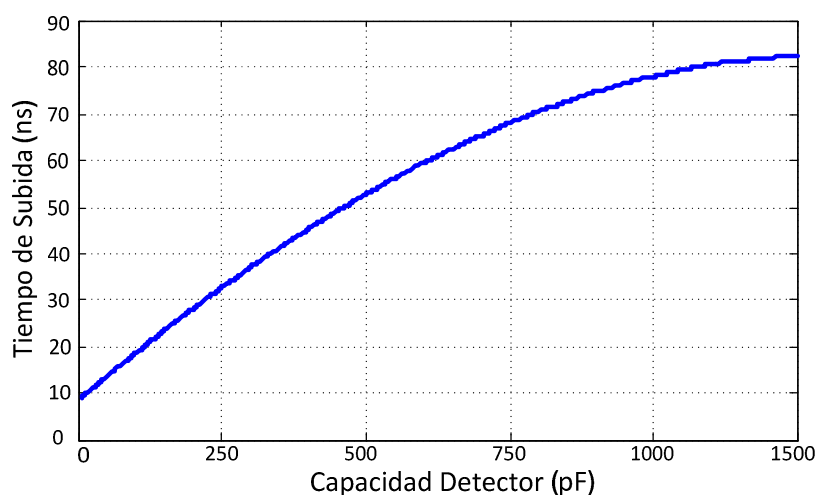


Figura 2.22. Relación entre la capacidad del detector a la entrada del preamplificador y el tiempo de subida de la señal de salida.

La Figura 2.23 representa la respuesta en energía del circuito y el rango dinámico, lo que permite obtener la linealidad del preamplificador. Para ello se ha inyectado carga a su entrada y se ha medido la altura del pulso de salida. La linealidad del circuito es inferior al 1% para un rango de energía de 40MeV.

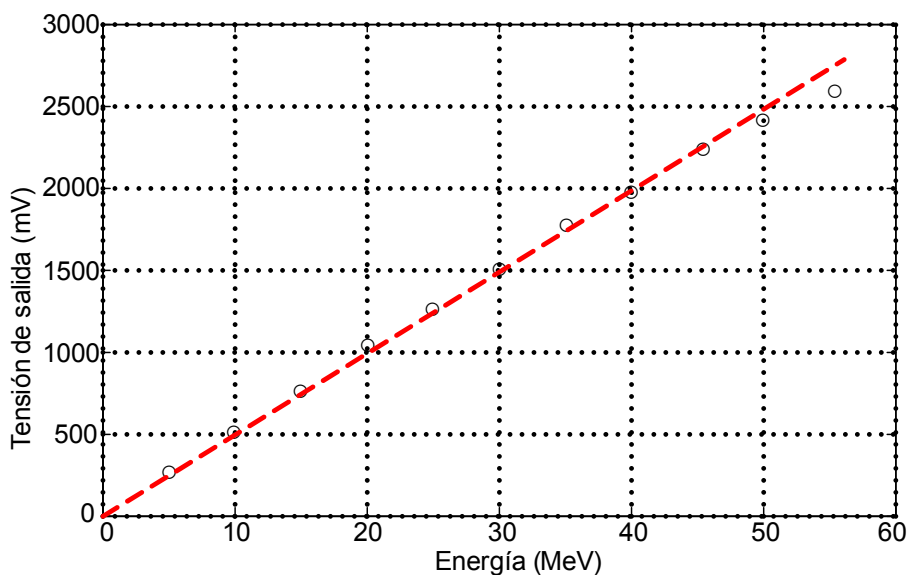


Figura 2.23. Curva de respuesta del preamplificador respecto a energía de entrada.

En la Figura 2.24 podemos observar cómo se produce saturación en la salida. En el prototipo se observa un rango dinámico compatible con la simulación realizada.

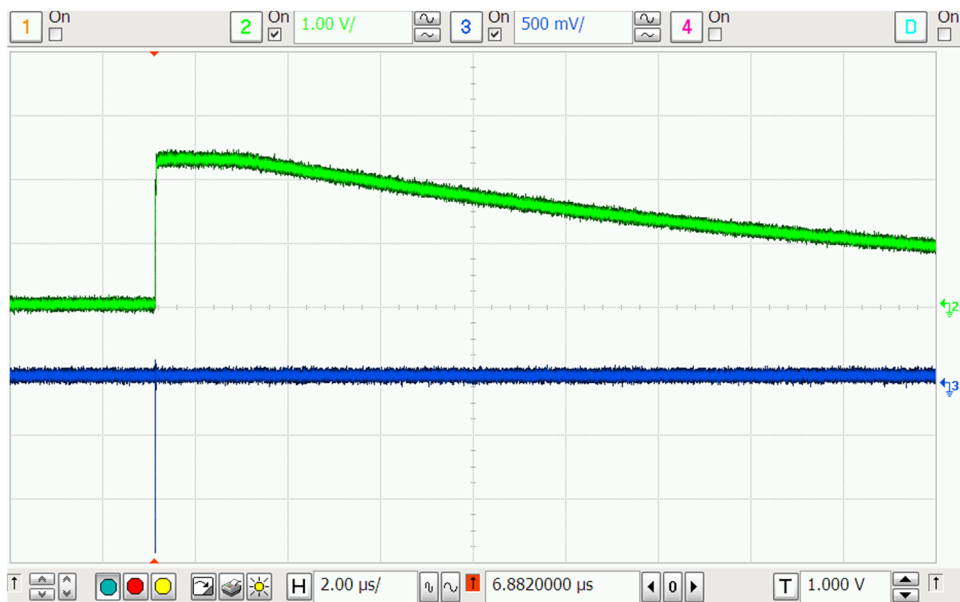


Figura 2.24. Saturación a la salida.

En la Figura 2.25 podemos observar la programabilidad del tiempo de decaimiento del circuito para los siguientes valores de la resistencia de realimentación R_F : 5 M Ω , 10 M Ω , 15 M Ω y 20 M Ω . Se puede comprobar cómo el

tiempo de bajada se corresponde aproximadamente a cinco veces la constante de tiempo ($5 \cdot \tau = 5 \cdot R_F \cdot C_F$).

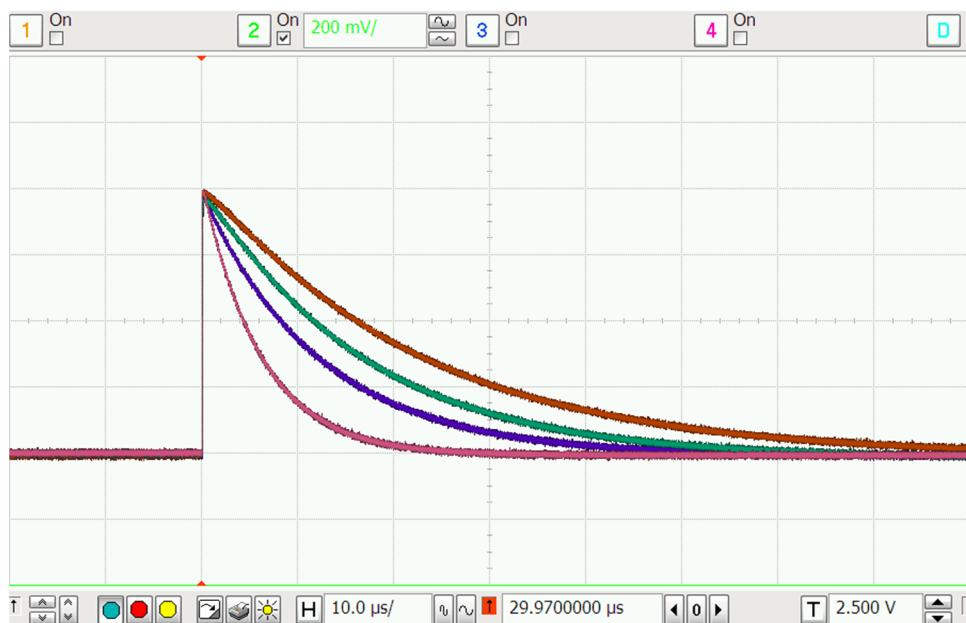


Figura 2.25. Programación del tiempo de decaimiento.

Los principales parámetros que definen el funcionamiento del amplificador sensible a carga se recogen en la siguiente tabla:

Parámetro	Valor
JFET de entrada (g_m)	25 mA/V
V_{DD}	$\pm 6V$
Consumo de potencia	15 mW
Ganancia de carga	1 mV/fC
Sensibilidad	50 mV/MeV
Rango de salida	2000 mV ($Q = 40$ MeV)
Linealidad	<1% hasta 40 MeV
Tiempo de decaimiento	4 μs
Tiempo de subida	15 ns

Tabla 2.2. Parámetros de funcionamiento del preamplificador.

Capítulo 3

Diseño de un shaper programable de tipo unipolar gaussiano con restauración de la línea de base

3.1 Introducción

La etapa de conformado de pulso, denominada en inglés *shaper*, constituye una sección de filtrado paso banda que se añade tras el amplificador sensible a la carga (CSA) para realizar las siguientes tareas:

- Filtrar la señal de salida del CSA y así mejorar la relación señal/ruido en el sistema.
- Añadir ganancia adicional en la cadena de acondicionamiento para facilitar la medida de la amplitud del pulso mediante los convertidores analógico/digitales y su posterior procesamiento digital. El shaper eleva la amplitud del pulso en la salida del CSA desde el rango de decenas de mV hacia centenares de mV o varios

voltios dependiendo de los requisitos de la aplicación y de la tensión de alimentación del circuito.

- Acortar la duración del pulso y así reducir la posibilidad de interferencia entre pulsos sucesivos en experimentos de alta tasa de operación.

La elección del tipo de filtro, el orden y su constante de tiempo dependen fuertemente de la resolución de energía especificada, del sistema de adquisición y de su máxima tasa de operación [Bro67], [Gat81], [Kow70], [Rad68], [Gou82], [Cha90], [Kor92].

En este capítulo se presenta un shaper de tipo unipolar basado en una etapa diferenciadora de primer orden que incluye un circuito de cancelación polo-cero (PZC), y un filtro activo paso bajo de cuarto orden. La topología CR-(RC)⁴ se ha diseñado utilizando el método de Ohkawa [Ohk76] para obtener una forma de pulso casi-gausiana. El diseño incorpora una nueva etapa de control para restaurar la línea de base (BLR) de los pulsos y controlar el offset. Además, se ha proporcionado flexibilidad y adaptabilidad al diseño, ya que, los principales parámetros del circuito, pueden ser ajustados de forma remota mediante un sistema basado en microcontrolador. El diagrama de bloques se representa en la Figura 3.1.

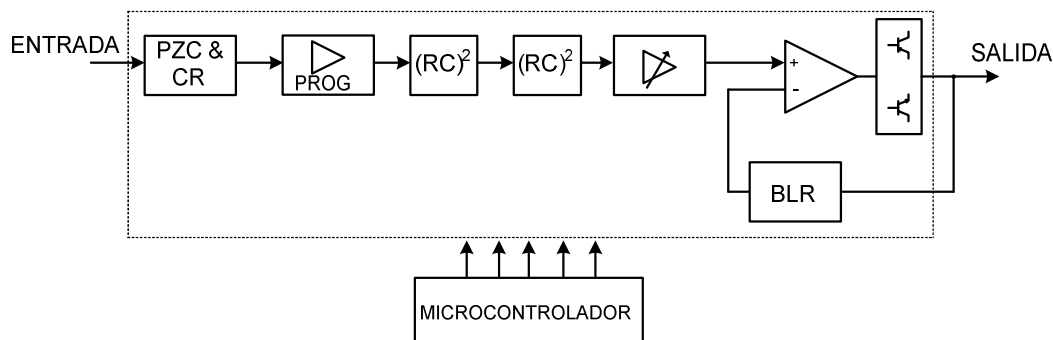


Figura 3.1. Diagrama de bloques del shaper desarrollado.

3.2 Especificaciones de diseño.

El shaper ha sido diseñado para ser utilizado en aplicaciones de espectroscopia usando detectores de silicio. Para ello, debe cumplir con las siguientes requerimientos:

- Tensión de salida unipolar de 0 a 8V máximo.
- Constante de tiempo de conformado variable en 0.5 μ s, 1 μ s, 2 μ s y 4 μ s.
- Ganancia variable de forma continua de 1 a 1000.
- Salida de señal "busy" con lógica NIM que identifica la existencia del pulso.
- Impedancia de salida de 50 Ω .
- Impedancia de entrada de 1k Ω .
- Bajo nivel de ruido.
- Controlable de forma interactiva con dial y display, con precisión mejor del 5% y de forma remota a través de interfaz serie.
- Ajuste automático o manual del umbral de activación del BLR.
- Ajuste manual de la compensación polo-cero.

3.3 Conformado de la señal mediante filtrado.

Uno de los objetivos del dispositivo de conformado es precisamente modificar la forma del pulso tipo escalón procedente del preamplificador de carga, en un pulso mucho más estrecho cuya altura sea proporcional a la energía de la partícula.

El conformado de la señal se realiza mediante un filtrado. Este filtrado elimina las señales de alta frecuencia de la señal y suaviza el pulso de entrada. En este filtro es importante la forma del pulso de salida y por tanto, el diseño del filtro se realiza a partir de una especificación de la forma que deseamos que tenga dicho pulso.

Los tipos de filtros de conformado de pulso más empleados son los siguientes:

- a. Conformadores de pulso *unipolares semi-gaussianos* $CR-(RC)^n$.
- b. Conformadores de pulso *bipolares semi-gaussianos* con dos secciones paso-alto (diferenciadores) y n integradores de tipo $CR^2-(RC)^n$.
- c. Conformadores *casi-gaussianos* obtenidos mediante el método de síntesis de Ohkawa [Ohk76].

A continuación, describiremos la respuesta transitoria de estos filtros a una señal de entrada de tipo escalón (obtenida en la salida del preamplificador de carga).

En la Figura 3.2 se muestra la respuesta transitoria de un shaper considerando un pulso unipolar (Figura 3.2a) y un pulso bipolar (Figura 3.2b). En ambas figuras se muestra la respuesta normalizada y un zoom de la misma,

con el fin de ilustrar los principales parámetros de dicha respuesta. Estos parámetros son los siguientes [IEC92], [IEE88]:

t_p : *tiempo de pico del pulso*, medido desde el 1% de la altura del nivel máximo al centro del nivel máximo.

t_{p2} : *tiempo de pico del pulso bipolar*, medido desde el 1% de la altura del nivel máximo del lóbulo primario al nivel mínimo del pulso negativo secundario.

t_{x0} : *tiempo de cruce de un pulso bipolar*, medido desde el 1% de la altura del nivel máximo del lóbulo primario al punto de paso por cero del pulso bipolar.

t_m : *ancho del pulso a una fracción m* de la altura de su valor máximo, donde m se especifica como 0.1, 0.01, etc.

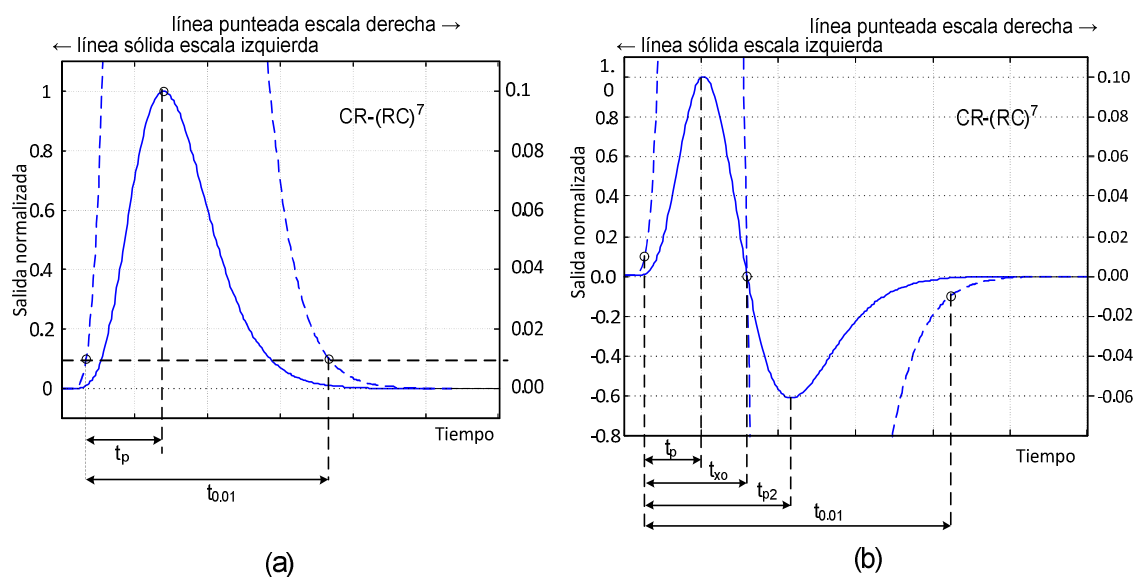


Figura 3.2. Definición de tiempos para conformado de pulso: a) pulso unipolar, b) pulso bipolar.

3.3.1 Conformador de pulsos semi-gausiano unipolar.

El conformador de pulsos semi-gausiano de tipo unipolar es el más utilizado en aplicaciones de espectroscopia. Este shaper consiste en un diferenciador CR seguido de n integradores como muestra la Figura 3.3.

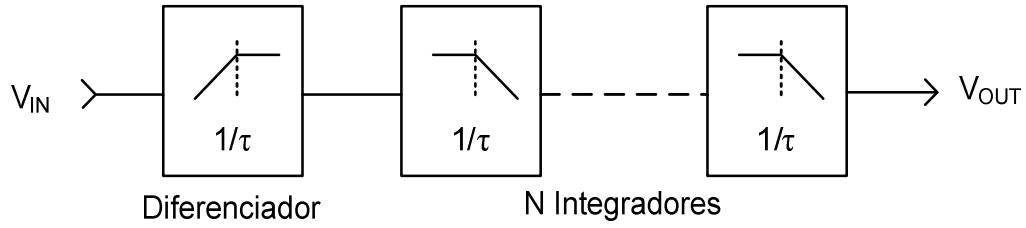


Figura 3.3. Conformador de pulso semi-gausiano de tipo CR-(RC)ⁿ.

La función de transferencia para el filtro CR-(RC)ⁿ usando las mismas constantes de tiempo para integrador y diferenciador $\tau_i = \tau_d = \tau$ viene dada por [Kor92], [San90] :

$$H(s) = \left(\frac{s\tau}{1+s\tau} \right) \left(\frac{1}{1+s\tau} \right)^n \quad (3.1)$$

Si tenemos un escalón de tensión unitario ideal a la entrada del conformador de pulso y tomando la función de transferencia del filtro definida por (3.1), obtenemos la señal de salida en el dominio del tiempo como:

$$v_{out}(t) = \frac{1}{n!} \left(\frac{t}{\tau} \right)^n \exp\left(-\frac{t}{\tau} \right) \quad (3.2)$$

La amplitud de pico de la señal con el tiempo de pico del pulso $t_p = n\tau$ es:

$$v_{max} = \frac{n^n}{n!e^n} \quad (3.3)$$

La familia de pulsos de salida para una constante de tiempo dada τ se muestra en la Figura 3.4(a). El incremento del orden del filtro provoca la disminución de la señal de salida, pero hace el pulso más simétrico. Un filtro de mayor orden es más adecuado para aplicaciones de alta tasa de llegada de eventos, sin embargo, para obtener el mismo tiempo de pico del pulso para el filtro de mayor orden, debemos acortar la constante de tiempo de los filtros.

En la Figura 3.4(b) se muestra la familia de pulsos con las amplitudes normalizadas de forma independiente para cada gráfica con $Y = y / y_{\max}$ y la escala de tiempos $T = t / t_{\max}$ para órdenes $n= 1,2,3,5$ y 7. Para los filtros de mayor orden, el pulso de salida retorna a la línea base más rápido, y esto influye directamente en la mayor tasa de operación y reduce la probabilidad de que se produzcan pulsos solapados, situación conocida como “pile-up”.

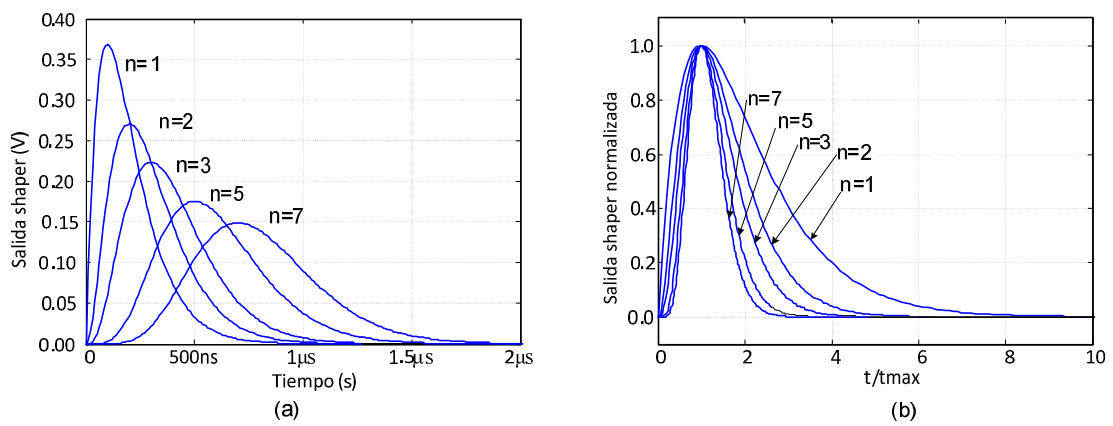


Figura 3.4. Ejemplos de salida del conformador de pulso para diferentes órdenes del filtro CR-(RC)ⁿ con a) la misma constante de tiempo τ , b) salida normalizada en amplitud y tiempo de forma independiente para cada gráfica.

En la Tabla 3.1 se indica el ancho de pulso $t_{0.01}$ (calculado a una fracción del 1% de la máxima amplitud del pulso) en relación con el tiempo de pico del pulso para diferentes órdenes del filtro. Se puede observar que para mayor orden del filtro se obtiene mayor tiempo de pico, y por tanto, la forma del pulso es más simétrica.

Orden del filtro n	1	2	3	5	7
$t_{0.01}/t_p$	7.66	5.04	4.17	3.46	3.14

Tabla 3.1. Ancho de pulso para diferentes filtros CR-(RC)ⁿ

3.3.2 Conformador de pulsos semi-gausiano bipolar.

Este tipo de shaper está formado por dos diferenciadores CR seguidos de n integradores $((CR)^2-(RC)^n)$, como muestra la Figura 3.5.

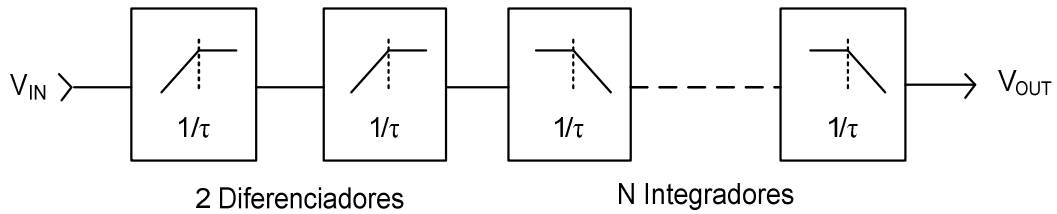


Figura 3.5. Conformador de pulso semi-gausiano de tipo $(CR)^2(RC)^n$

Para las mismas constantes de tiempo de diferenciador e integrador $\tau_i = \tau_d = \tau$, la función de transferencia viene dada por:

$$H(s) = \left(\frac{s\tau}{1+s\tau} \right)^2 \left(\frac{1}{1+s\tau} \right)^n \quad (3.4)$$

Asumiendo a la entrada del conformador de pulso un escalón ideal unitario obtenemos una señal en el dominio del tiempo como:

$$v_{out}(t) = \frac{(n+1)\tau - t}{(n+1)! \tau} \left(\frac{t}{\tau} \right)^n e^{-t/\tau} \quad (3.5)$$

Esta señal tiene un sobreimpulso negativo y pasa por cero en $t_{ox} = (n+1)\tau$, y los valores máximos y mínimos del pulso se obtienen en las coordenadas de tiempo:

$$t_{max} = (n+1 - \sqrt{n+1})\tau \quad (3.6)$$

$$t_{min} = (n+1 + \sqrt{n+1})\tau \quad (3.7)$$

La familia de pulsos bipolares a la salida del conformador de pulso para una constante de tiempo dada τ se muestra en la Figura 3.6(a). La Figura 3.6(b) muestra la familia de pulsos con una amplitud normalizada de forma

independiente para cada gráfica con $Y = y / y_{\max}$ y la escala de tiempos $T = t / t_{\max}$ para órdenes $n= 1,2,3,5$ y 7.

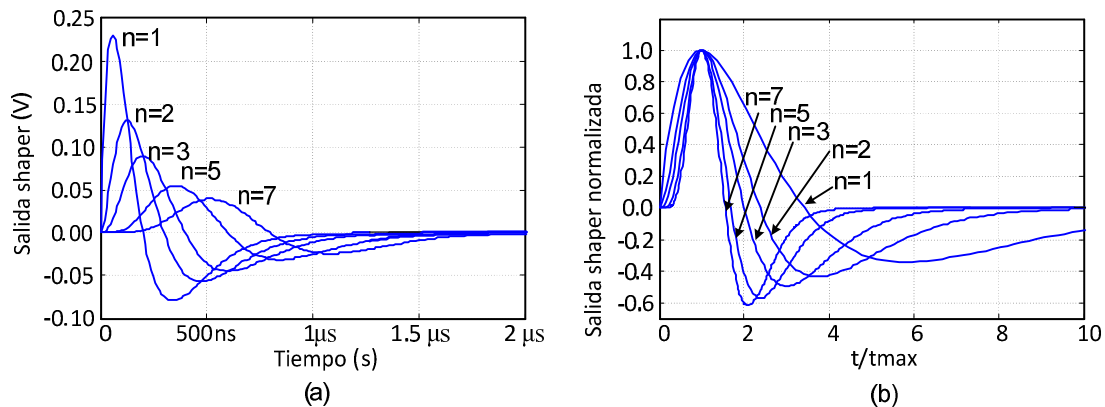


Figura 3.6. Ejemplos de salida del conformador de pulso para diferentes órdenes del filtro $(CR)^2-(RC)^n$ con a) la misma constante de tiempo τ , b) con la salida normalizada en amplitud y tiempo de forma independiente para cada gráfica.

En la Tabla 3.2 se indica el ancho del pulso $t_{0.01}$ en relación con el tiempo de pico del pulso para diferentes órdenes del filtro. En la tabla también se indica la relación entre los valores máximos y mínimos de tensión. Al igual que sucedía con el conformado unipolar, se puede observar que para mayor orden del filtro se obtiene mayor tiempo de pico, y por tanto, la forma del pulso es más simétrica. Para mayores órdenes n del filtro, también se observa una menor amplitud del pulso negativo.

Orden del filtro n	1	2	3	5	7
$t_{0.01}/t_p$	16.6	9.85	7.67	5.96	5.22
$ v_{\min} / v_{\max} $	0.344	0.436	0.495	0.569	0.616

Tabla 3.2. Ancho de pulso para diferentes filtros $(CR)^2-(RC)^n$

Aunque el shaper de tipo bipolar ofrece una peor relación señal/ruido y produce un pulso más largo que el unipolar, presenta dos ventajas:

- El tiempo de paso por cero t_{x0} no depende de la amplitud del pulso empleándose esta característica del conformador bipolar para medidas de tiempo [IEC92],
- Elimina el problema del desplazamiento de la línea base (que se produce para una tasa elevada de pulsos de entrada) en el sistema con acoplamiento en AC [Con09].

3.3.3 Filtro casi gaussiano obtenido empleando el método de síntesis de Ohkawa.

Para minimizar los efectos de solapamiento en los pulsos a altas tasas de operación, el ancho de pulso $t_{0.01}$ debe ser lo menor posible. Esta situación se produce cuando los pulsos tienen forma de onda gaussiana. Para obtener una forma de pulso gaussiana ideal usando una configuración CR-(RC)ⁿ, se necesitaría un diferenciador CR y un número infinito de integradores RC.

Se pueden encontrar algunos estudios sistemáticos en la literatura (en el dominio del tiempo o de la frecuencia) para la obtención de la red de conformado de pulso óptima [Bla66], [Now70]. Sin embargo, debido al empleo de componentes especiales y a la complejidad del diseño al tener un elevado número de etapas, en general, los resultados de estos estudios resultan difíciles de implementar.

Un método interesante para el diseño de filtros casi-gaussianos es el de Ohkawa [Ohk76] que utiliza un número limitado de etapas basadas en filtros activos usando únicamente resistencias y condensadores. Los filtros tienen

polos complejos que se obtienen en base a un análisis en el dominio de la frecuencia. A continuación analizamos este tipo de filtros.

El pulso tras el amplificador sensible a la carga se introduce al conformador de pulso que se asume está compuesto de un diferenciador ideal, seguido por la red cuya respuesta al pulso es la forma de onda gaussiana:

$$v_{out}(t) = a_0 e^{-\frac{t^2}{2\sigma^2}} \quad (3.8)$$

Donde a_0 es una constante y σ es la desviación de la distribución normal. La forma de onda gaussiana anterior tiene un pico a_0 en $t=0$. En el dominio de la frecuencia la ecuación anterior puede escribirse como:

$$F(\omega) = a_0 \sqrt{2\pi} \sigma e^{-\frac{\sigma^2 \omega^2}{2}} \quad (3.9)$$

La función de transferencia de un filtro gaussiano tiene la siguiente forma:

$$H(s) = \frac{H_0}{Q(s)} \quad (3.10)$$

donde $s = j\omega$, H_0 es una constante y $Q(s)$ es el *polinomio de Hurwitz* (polinomio cuyos coeficientes son números reales positivos y cuyos ceros están localizados en la parte izquierda del plano complejo). Como puede verse fácilmente en [Ohk76] existe la siguiente relación entre la función de transferencia y las amplitudes:

$$H(j\omega)H(-j\omega) = [F(\omega)]^2 \quad (3.11)$$

Teniendo en cuenta las ecuaciones (3.9) y (3.10), la relación anterior puede escribirse como:

$$Q(s)Q(-s) = \frac{1}{2\pi} \left(\frac{H_0}{a_0 \sigma} \right)^2 e^{-\sigma^2 s^2} \quad (3.12)$$

Mediante normalización transformamos la ecuación anterior en esta:

$$Q(p)Q(-p) = e^{-p^2} \quad (3.13)$$

donde $p = \sigma \cdot s$. La función exponencial anterior se puede aproximar por los términos finitos de la serie de Taylor:

$$Q(p)Q(-p) = 1 - p^2 + \frac{p^4}{2!} + \frac{p^6}{3!} + \dots + (-1)^{n_G} \frac{p^{2n_G}}{n_G!} \quad (3.14)$$

donde n_G es el orden del filtro. Para $n_G = 1$, la anterior ecuación queda:

$$Q(p)Q(-p) = 1 - p^2 \quad (3.15)$$

y el polinomio de Hurwitz es:

$$Q(p) = 1 + p \quad (3.16)$$

y la función de la red tiene el polo real en -1 sobre el plano p . Para $n_G = 2$ la ecuación (3.14) resulta:

$$Q(p)Q(-p) = 1 - p^2 + \frac{p^4}{2!} \quad (3.17)$$

En este caso el polinomio $Q(p)$ es igual a:

$$Q(p) = \frac{1}{\sqrt{2}} \left(\sqrt{2} + \sqrt{(2+2\sqrt{2})} p \right) + p^2 \quad (3.18)$$

Y la función de la red de filtrado tiene el par conjugado en:

$$p_1 = \frac{\sqrt{(2+2\sqrt{2})}}{2} \left[-1 \pm (\sqrt{2} - 1) \right] \quad (3.19)$$

Para mayores órdenes $n_G = 3 - 7$ la constelación de polos puede obtenerse mediante análisis numérico. Los polos se listan en la Tabla 3.3, donde el polo real es $p_0 = A_0$, A_i y los pares de polos complejos son $p_i = -A_i \pm W_i$.

	$n_G = 3$	$n_G = 4$	$n_G = 5$	$n_G = 6$	$n_G = 7$
A_0	1.2633573		1.4766878		1.6610245
A_1	1.1490948	1.3553576	1.4166647	1.5601279	1.6229725
W_1	0.7864188	0.3277948	0.5978596	0.2686793	0.5007975
A_2		1.1810803	1.2036832	1.4613750	1.4949993
W_2		1.0603749	1.2994843	0.8329565	1.0454546
A_3				1.2207388	1.2344141
W_3				1.5145343	1.7113028

Tabla 3.3. Localización de los polos de los filtros gaussianos (obtenido de [Ohk76])

Con la localización de los polos, podemos expresar la función de transferencia del filtro $H(s)$ para un número impar k de polos como:

$$H(s) = \frac{A_0 \prod_{i=0}^k (A_i^2 + W_i^2)}{(\sigma s + A_0) \prod_{i=1}^k [(\sigma s + A_i)^2 + W_i^2]} \quad (3.20)$$

Para un número par k de polos, la función de transferencia es:

$$H(s) = \frac{\prod_{i=0}^k (A_i^2 + W_i^2)}{\prod_{i=1}^k [(\sigma s + A_i)^2 + W_i^2]} \quad (3.21)$$

Las constantes en los numeradores de las ecuaciones (3.20) y (3.21) se suman, para hacer que el valor $H(s)$ sea cero cuando $s = 0$.

Ohkawa et al. [Ohk76] emplean una constante de tiempo de igual área para el filtro CR-RC de forma que se puedan comparar distintas formas de

onda, para ello vamos a calcular el área para un filtro CR-RC y para un filtro gaussiano y las vamos a igualar para poder encontrar esta constante de tiempo.

Para empezar vamos a calcular el área del pulso que resulta para un conformador CR-RC frente a un escalón a la entrada. Para las mismas constantes de tiempo de diferenciador e integrador $\tau_i = \tau_d = \tau$, la función de transferencia del filtro CR-RC viene dada por:

$$H(s) = \left(\frac{s\tau}{1+s\tau} \right) \left(\frac{1}{1+s\tau} \right) \quad (3.22)$$

Asumiendo a la entrada del conformador de pulso un escalón ideal unitario de voltaje, obtenemos una señal en el dominio del tiempo como:

$$v_{out}(t) = \frac{t}{\tau} e^{(-t/\tau)} \quad (3.23)$$

La constante de tiempo es $\tau = C_x R_x$. Para calcular el área del pulso hay que tener en cuenta que:

$$\int_0^{\infty} x e^{-x} dx = 1 \quad (3.24)$$

De esta forma, el área del pulso tras el filtro CR-RC con altura de pico igual a 1 viene dado por:

$$S_{CR} = e \int_0^{\infty} \left(\frac{t}{C_x R_x} \right) e^{-\frac{t}{C_x R_x}} dt = e C_x R_x \quad (3.25)$$

Por otro lado calculamos el área de la forma de onda gaussiana con altura de pico igual a uno. Para ello tenemos en cuenta que la integral definida para la función exponencial que forma la campana de Gauss es la siguiente:

$$\int_{-\infty}^{\infty} e^{-ax^b} dx = a^{-1/b} \Gamma\left(1 + \frac{1}{b}\right) \quad (3.26)$$

donde la función sigma de un número no entero se puede calcular como:

$$\Gamma\left(\frac{n}{2} + 1\right) = \sqrt{\pi} \frac{n!!}{2^{(n+1)/2}} \quad (3.27)$$

Teniendo en cuenta las ecuaciones (3.26) y (3.27) obtenemos:

$$S_G = \int_{-\infty}^{\infty} e^{-\frac{t^2}{2\sigma^2}} dt = 2\left(\frac{1}{2\sigma^2}\right)^{-1/2} \Gamma\left(1 + \frac{1}{2}\right) = \sigma\sqrt{2\pi} \quad (3.28)$$

Si las áreas son iguales $S_{CR}=S_G$, el valor de σ viene dado por:

$$\sigma = \frac{e}{\sqrt{2\pi}} C_x R_x = \sigma_0 \tau_x \quad (3.29)$$

donde $\tau_x = C_x R_x$ es la constante de tiempo del filtro CR-RC y la constante $\sigma_0 = e/\sqrt{2\pi} = 1.0844$ se denomina *constante de tiempo de igual área*.

La respuesta del pulso se aproxima a la forma de onda gaussiana cuando se incrementa el orden del filtro (ver Figura 3.7), por lo que para conformado de pulso el orden preferido del filtro es $n_G \geq 5$.

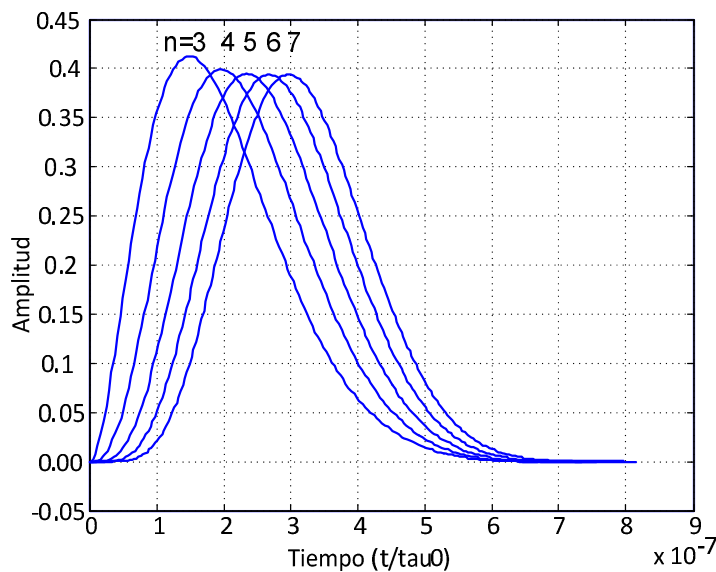


Figura 3.7. Respuestas al impulso para diferentes órdenes del filtro en función del tiempo normalizado con τ_0 .

3.4 Diseño del shaper.

La Figura 3.8 muestra el diagrama de bloques del conformador de pulsos casi-gausiano de tipo unipolar que se ha diseñado. En este apartado se describen con detalle todas sus etapas.

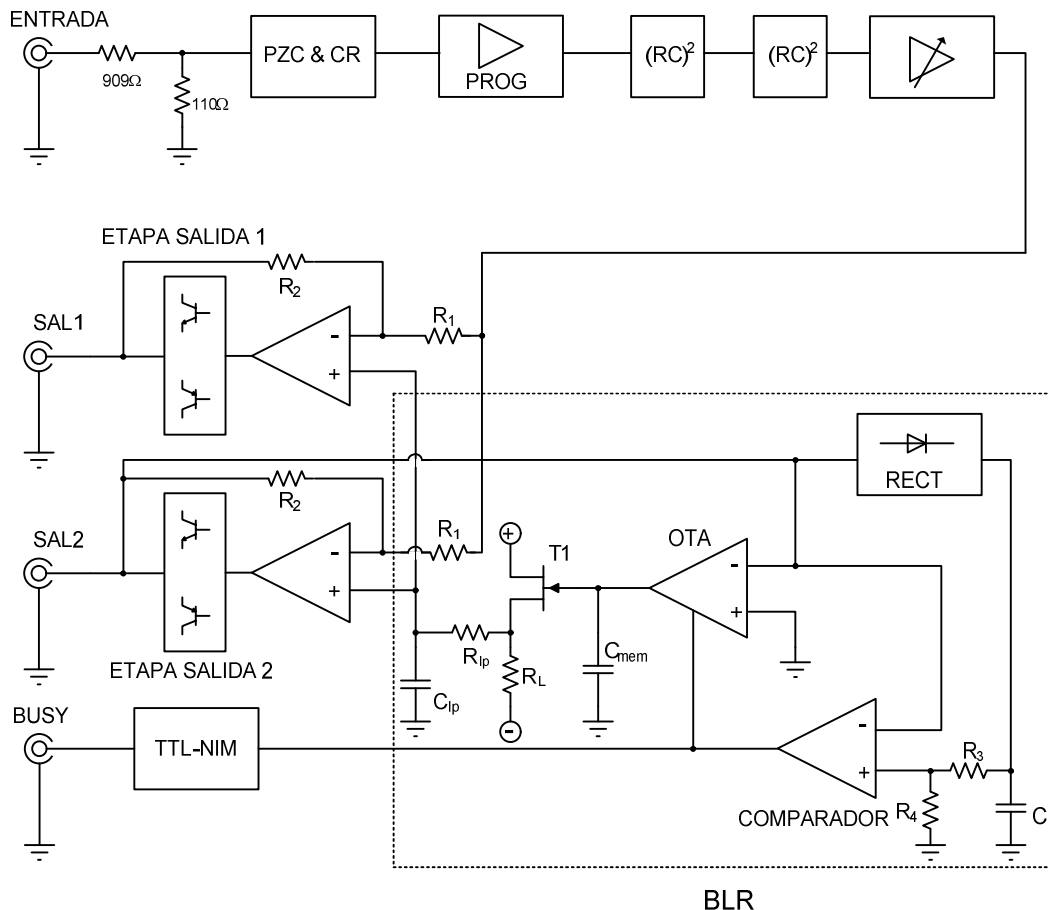


Figura 3.8. Diagrama de bloques del conformador de pulsos o shaper.

En la primera etapa el circuito consta de un atenuador que fija la impedancia de entrada, seguido de un filtro paso alto CR o diferenciador de primer orden que incorpora también un esquema de compensación polo-cero, PZC. La segunda etapa es un amplificador/atenuador programable en pasos que eleva el nivel de la señal para su posterior procesamiento. A continuación, se realiza un filtrado paso bajo mediante dos secciones de segundo orden en

cascada de topología RC Sallen-Key. La sección de diferenciación junto con la de integración constituyen el núcleo un conformador de pulsos de tipo CR-(RC)⁴. Estas dos secciones han seguido el método de diseño de Ohkawa para conseguir un shaper casi-gausiano. Tras esta etapa de filtrado se dispone de un amplificador regulable de forma continua, que junto con la segunda etapa, permiten fijar la ganancia total del circuito.

Se ha implementado una red de realimentación que constituye el denominado circuito de restauración de línea de base (*Base Line Restorer, BLR*), para que el diseño final del shaper se pueda utilizar en experimentos con alta tasa de pulsos, ya que regenera el nivel de base de la señal que generalmente serán cero voltios.

El shaper diseñado dispone de dos etapas de salida clase AB idénticas capaces de generar la señal de salida unipolar con una tensión tan alta como 8V sobre una carga de 50Ω. El circuito BLR sensa una de las señales de salida mediante un amplificador de transconductancia (OTA) en los periodos de tiempo que la señal no está presente. La señal de corrección obtenida se filtra con ayuda de C_p y de R_p y se introduce en la entrada positiva del amplificador operacional de la etapa de salida, que está en configuración no inversora. Por otro lado, la señal de salida también se detecta con ayuda de un comparador auxiliar, cuya señal de referencia es el valor de pico de la propia señal de salida extraído mediante un rectificador. Un múltiplo de este valor de pico de la señal de salida obtenido con el divisor de tensión formado por R_3 y por R_4 , se emplea como umbral para la detección del pulso.

Por último, se ha añadido un sistema de control basado en un microcontrolador que realiza una calibración de los principales parámetros de

del shaper (compensación polo-cero, ganancia gruesa y fina, tiempo de shaping, nivel de disparo del BLR y offset de salida) de forma que el usuario los pueda modificar en tiempo real. La calibración se ha realizado previamente mediante un algoritmo a través de un programa que permite grabar en una memoria no volátil la curva de calibración de cada parámetro controlable por el usuario y que permite alcanzar precisiones mejores del 1%. El control del shaper se puede realizar de forma remota a través de un puerto RS-422 y a través de varios convertidores a otros formatos RS-485, serie, USB o Ethernet. Alternativamente, se dispone de un panel de control con pulsadores de selección, un dial y una pantalla de 4 dígitos para realizar el control de forma simultánea. Este sistema de control se explica en detalle en el Capítulo 5.

En los siguientes sub-apartados se detallan en profundidad el diseño y la implementación de cada una de las etapas.

3.4.1 Etapa de entrada, filtro CR y compensación polo-cero.

En la Figura 3.9 podemos ver el diseño de la etapa de entrada. La señal de entrada procedente del amplificador sensible a la carga (CSA) se hace pasar por un atenuador con un factor 10 para mejorar la estabilidad y cargar la etapa de salida del CSA. A continuación se dispone de un filtro CR diferenciador realizado mediante una resistencia R_{dif} y un condensador variable C_{dif} .

La variación de estos componentes se consigue mediante un multiplexor analógico comercial realizado a base de puertas de paso CMOS, de forma que es posible seleccionar hasta cuatro tiempos de conformado o “*shaping time*” diferentes. Los valores de estos componentes se calculan junto con la sección de respuesta paso bajo del shaper en el apartado 3.4.3.

El filtro CR dispone de un JFET adicional T_1 polarizado con una tensión constante V_{bias} trabajando en la zona lineal o de saturación de forma que se comporte como una resistencia variable.

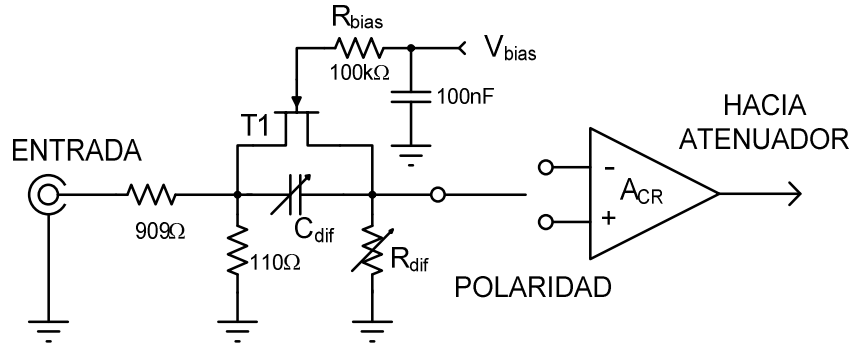


Figura 3.9. Etapa de entrada. Filtro CR y compensación Polo-Cero (PZC).

En la Figura 3.10 se pueden apreciar las señales del filtro RC.

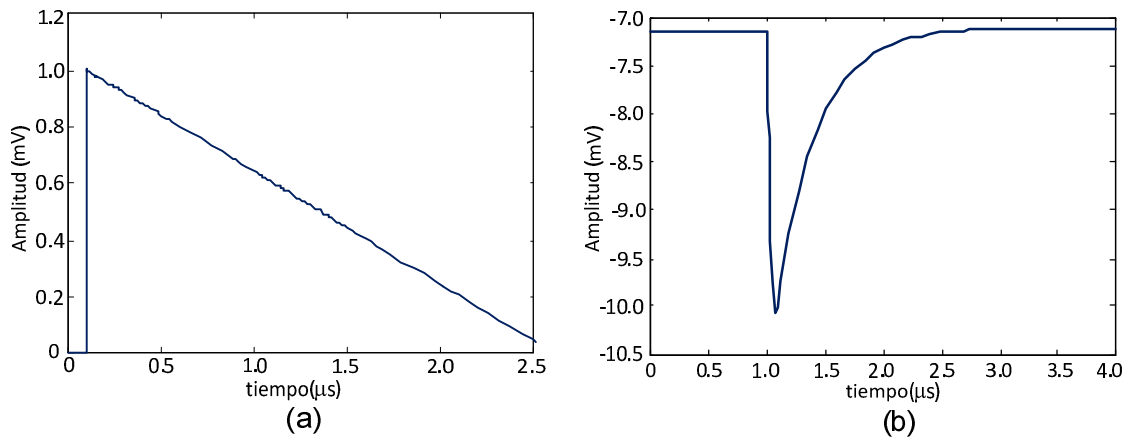


Figura 3.10. Señales de salida del (a) preamplificador de carga CSA, y (b) de la etapa RC y PZC para $\tau = 0.5 \mu s$.

El transistor JFET se encuentra en paralelo con el condensador, permitiendo el ajuste continuo de la compensación polo-cero (*pole-zero compensation, PZC*). A continuación se encuentra una etapa amplificadora de ganancia. Delante de la etapa amplificadora se dispone de un conmutador que

permite seleccionar la polaridad de la señal de entrada modificando convenientemente el tipo de etapa amplificadora (inversora/no inversora).

3.4.1.1 Circuito de cancelación polo-cero.

En este apartado se justifica la necesidad de utilizar un circuito PZC y se explica en detalle su funcionamiento. Durante la etapa de desarrollo de la electrónica de bajo ruido del detector para funcionamiento con alta tasa de llegada de partículas, se deben tener en cuenta los efectos negativos causados por el solapamiento de pulsos (*pulse pile-up*) en la cadena de procesamiento de la señal. Hay dos tipos de pile-up:

- a) En la cola del pulso, ver Figura 3.11(a).
- b) Sobre el undershoot del pulso, ver Figura 3.11(b).

El pile-up en la cola del pulso produce un desplazamiento “positivo” en la línea de base (con el mismo signo de la amplitud del pulso). Este tipo de pile-ups pueden tener lugar tanto a la salida del CSA como a la salida del shaper. En el caso de tenerlo a la salida del shaper, el pile-up se puede reducir empleando un filtro que consiga que tanto el tiempo de pico t_p como el ancho del pulso $t_{0,01}$ sean cortos.

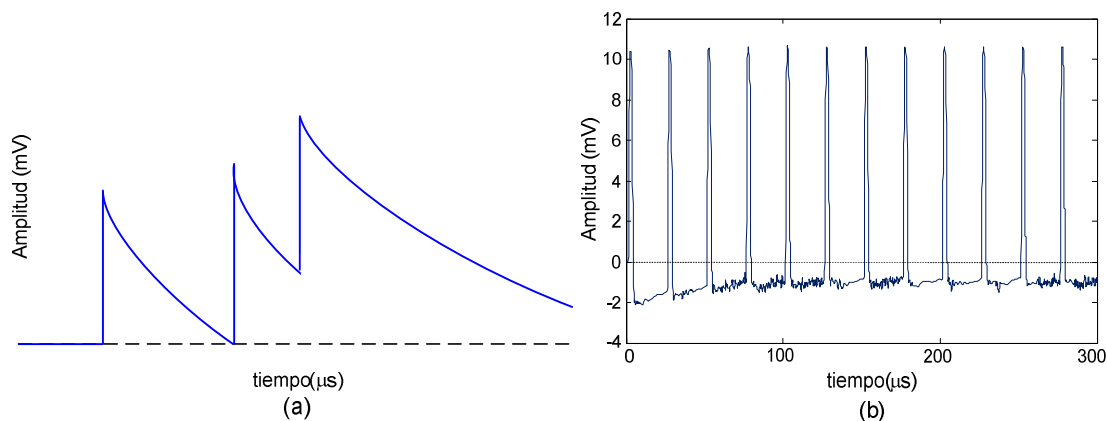


Figura 3.11. Dos tipos de efectos de la elevada tasa de llegada de pulsos: a) sobre la cola del pulso a la salida del preamplificador de carga (CSA), b) sobre la salida del conformador de pulso.

El pile-up sobre el undershoot del pulso se observa principalmente en amplificadores acoplados en corriente alterna (AC). Para solucionar este efecto se emplea un circuito de cancelación polo-cero y restauradores de la línea base (ver apartado 3.4.5).

Si recordamos del capítulo anterior, el amplificador sensible a la carga CSA está realimentado con un condensador C_F que tiene en paralelo una resistencia R_F . Cuando el condensador se descarga a través de la resistencia, el pulso de salida del CSA decae de forma exponencial con una constante de tiempo $\tau_F = C_F R_F$ (ver ecuación (2.17)). A continuación, la señal pasa por el shaper. En la mayoría de los casos, se cumple la condición $\tau \ll \tau_F$. Si el pulso de salida del CSA se introduce en un filtro RC-(CR)², la respuesta a la salida del conformador de pulso es:

$$v_{outSH}(s) = \frac{Q_{in}}{C_F} \cdot \frac{1}{s + \frac{1}{C_F R_F}} \cdot \frac{s}{s + \frac{1}{CR}} \cdot \left(\frac{1}{sCR + 1} \right)^2 \quad (3.30)$$

En el dominio del tiempo, el pulso anterior tiene un gran *undershoot* “negativo”, cuya amplitud y ancho dependen de la constante de tiempo τ_F y de su relación con la constante de tiempo del filtro τ (Figura 3.12).

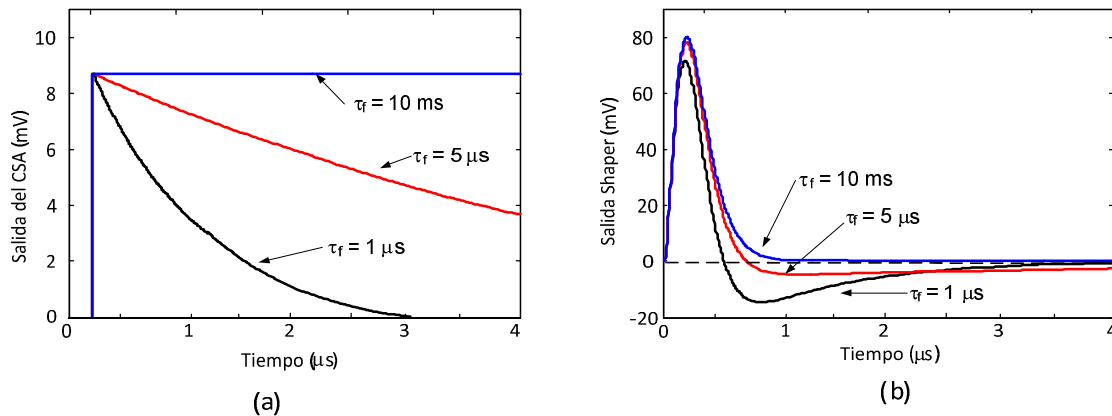


Figura 3.12. Pulsos para diferentes constantes de tiempo del CSA: a) en la salida del CSA, b) en la salida del conformador de pulsos.

Para bajas tasas de llegada de pulsos de entrada, esta distorsión del pulso es generalmente tolerable; sin embargo, para experimentos con gran tasa de pulsos, los picos consecutivos producen un desplazamiento negativo de la línea de base en la salida del shaper y una consecuente pérdida de resolución de amplitud del sistema (ver Figura 3.13). Además, si el sistema de adquisición trabaja con tasas de llegada de pulsos que fluctúan en gran medida de forma aleatoria, se produce una significativa variación de la línea base. Los pulsos bajo la línea base (undershoot) pueden eliminarse aplicando un circuito de cancelación polo-cero [Now65], [Gry07].

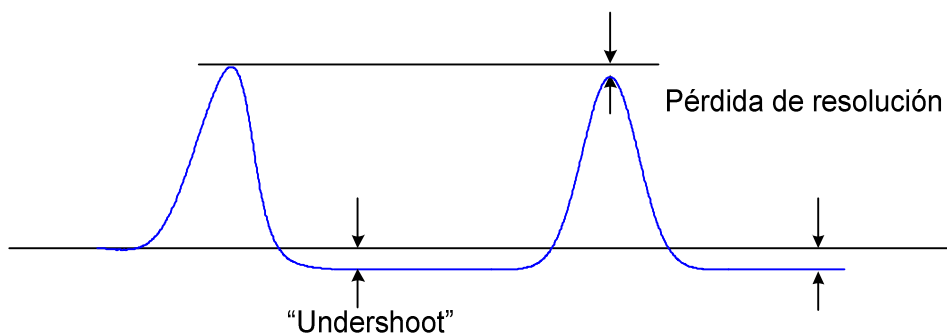


Figura 3.13. Pérdida de resolución en la medida del pulso a la salida del conformador de pulso para altas tasas de entrada cuando no está actuando el circuito de compensación polo-cero.

La idea del circuito PZC se muestra en la Figura 3.14. Añadiendo una resistencia extra R_{pz} (paralela al condensador C) se puede cancelar la gran constante de tiempo τ_F a la salida del CSA por la etapa siguiente si se cumple la condición:

$$C_F R_F = C R_{pz} \quad (3.31)$$

Entonces, el pulso a la salida del shaper viene dado por:

$$v_{outSH}(s) = \frac{Q_{in}}{C_F} \frac{1}{s + \frac{1}{C_F R_F}} \cdot \frac{s + \frac{1}{C R_{pz}}}{s + \frac{1}{C(R_{pz} \parallel R)}} \cdot \left(\frac{1}{s C R + 1} \right)^2 \quad (3.32)$$

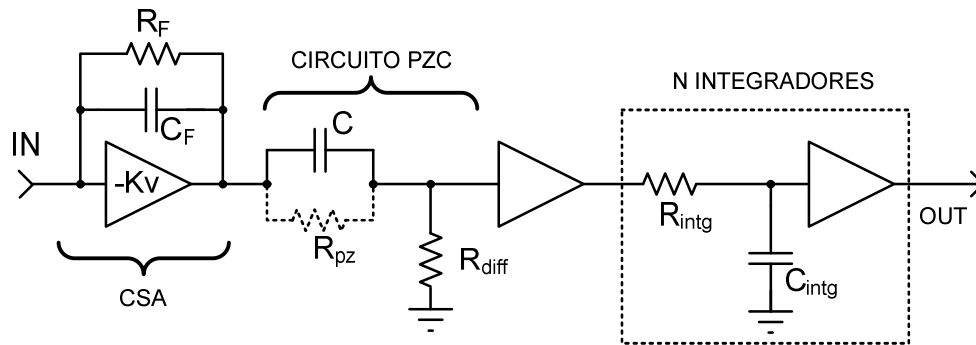


Figura 3.14. PZC tras la etapa CSA.

y puesto que $C_F R_F = C R_{pz}$, la ecuación anterior puede escribirse como

$$v_{outSH}(s) = \frac{Q_{in}}{C_F} \cdot \frac{1}{s + \frac{1}{C(R_{pz} \parallel R)}} \cdot \left(\frac{1}{sCR + 1} \right)^2 \quad (3.33)$$

El “polo” del CSA debido a C_F y R_F es cancelado por el “cero” del circuito PZC. La nueva constante de tiempo tras el PZC es igual a $C(R_{pz} \parallel R)$ y es menor que τ_F . Existen diferentes formas de implementar el circuito PZC y se pueden encontrar en [Gry08], [Cha98], [Now65], [Gry07], [Rib02].

3.4.2 Amplificador y atenuador programable.

En esta etapa se dispone de un amplificador adicional conmutable con ganancia 10 y de un divisor de tensión también conmutable mediante puertas de paso CMOS (Figura 3.15).

El cálculo de las resistencias R_{V_1} y R_{V_2} se realiza para que la regulación disponga los rangos de ganancia en tensión del conformador de pulsos más utilizados: 1000, 500, 200, 100, 50 y 20.

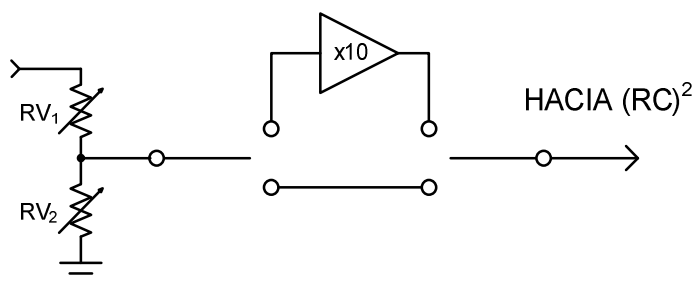


Figura 3.15. Amplificador y atenuador programable.

3.4.3 Filtro RC Sallen-Key.

En este apartado vamos a seguir el procedimiento de diseño de un filtro activo gaussiano siguiendo el método de la sección 3.3.3 [Ohk76].

La práctica común en los amplificadores de uso en física nuclear es obtener un diferenciador empleando un circuito simple CR con cero en el origen y un polo real que determina la constante de tiempo. La función de transferencia de este diferenciador es simplemente:

$$H(s) = \frac{s \tau}{1 + s \tau} \quad (3.34)$$

Para este tipo de conformador de pulso, las constelaciones de polos con un polo real tal como $n_G = 5$ o $n_G = 7$ son muy convenientes (ver Tabla 3.3). Las relaciones entre la constante de tiempo $C_0 R_0$ del diferenciador y el polo real de la Tabla 3.3 son las siguientes:

$$C_0 R_0 = \sigma_0 \tau_x / A_0 \quad (3.35)$$

El siguiente paso es construir las etapas con los polos complejos. Hay diferentes tipos de filtros con pares de polos complejos. Los filtros en tiempo continuo empleados habitualmente para sistemas *front-end* de acondicionamiento de partículas cargadas están basados en topologías RC. Los

filtros activos RC consiguen muy alta linealidad y elevada relación señal a ruido pero a costa de menos ancho de banda debido a su operación en bucle cerrado.

Recientemente, los filtros Gm-C (transconductancia-condensadores) han sido propuestos en este tipo de aplicaciones. Los filtros Gm-C pueden alcanzar mayores anchos de banda pero con menos linealidad debido a su configuración en bucle abierto. Además, son eficientes en consumo de potencia porque el ancho de banda del amplificador operacional de transconductancia es del mismo orden que la frecuencia de corte del filtro. Sin embargo, el uso de un excesivo número de transconductores por sección bicuadrática contribuye a reducir relativamente la eficiencia en consumo.

En los filtros de topología RC, el ancho de banda del amplificador debe ser mucho mayor que la frecuencia de corte del filtro conduciendo a un mayor consumo de potencia. Sin embargo, la utilización de amplificadores realimentados con elementos pasivos que definen los polos del filtro, consiguen una mayor estabilidad y control sobre los pulsos.

La Figura 3.16 muestra el esquema del filtro activo que se ha utilizado en el diseño del shaper. Se puede ver también la etapa paso alto de primer orden. La sección paso bajo de topología RC con realimentación positiva incluye dos etapas de segundo orden en cascada. Se ha utilizado la topología Sallen-Key convencional debido a que sólo requiere de un amplificador operacional por cada sección de segundo orden por lo que es adecuada para bajo consumo de potencia y bajo ruido. El amplificador operacional usado es el AD8066. La función de transferencia de tipo paso bajo de cada sección de segundo orden es:

$$H(s) = - \frac{1}{1 + sC_2(R_1 + R_2) + s^2C_1R_1C_2R_2} \quad (3.36)$$

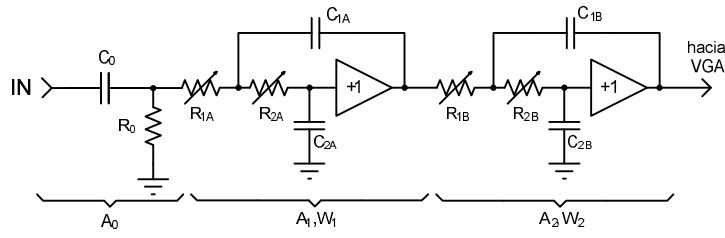


Figura 3.16. Esquema del shaper de tipo gaussiano para $n_G = 5$ usando filtros en cascada Sallen-Key.

Los dos polos complejos conjugados, obtenidos por la topología Sallen-Key de 4º orden, están en las posiciones:

$$s_1 = \left(\frac{R_1 + R_2}{2C_1 R_1 R_2} \right) \left[-1 \pm j \sqrt{\left(\frac{4C_1 R_1 R_2}{C_2 (R_1 + R_2)^2} - 1 \right)} \right] \quad (3.37)$$

Si hacemos $R_1 = R_2 = R$ y simplificamos las ecuaciones, las partes real e imaginaria de los polos complejos que se encuentran en la Tabla 3.3 quedan de la siguiente forma:

$$A_i = \frac{\sigma_0 \tau_x}{C_1 R} \quad (3.38)$$

$$W_i = \left(\frac{\sigma_0 \tau_x}{C_1 R} \right) \sqrt{\frac{C_1}{C_2} - 1} \quad (3.39)$$

A partir de estas ecuaciones podemos despejar $C_1 R$ y la relación entre C_2 y C_1 :

$$C_1 R = \frac{\sigma_0 \tau_x}{A_i} \quad (3.40)$$

$$C_2 = \frac{C_1}{\left(\frac{W_i}{A_i} \right)^2 + 1} \quad (3.41)$$

Si fijamos el valor de C_1 en 2nF para las dos etapas de segundo orden, podemos obtener el valor de C_2 y de las resistencias para los valores de tiempo de conformado (*shaping time*) dados τ_x . Los valores obtenidos se muestran en la

Tabla 3.4. Se ha seleccionado el valor más cercano de la serie E96 de resistencias de precisión del 1% que define como estándar la EIA (Electronic Industries Alliance). Los amplificadores operacionales utilizados en el filtro Sallen-Key son AD8066.

τ_x	R 1ª etapa	R _{1A} , R _{1B}	R 2ª etapa	R _{2A} , R _{2B}	C _{2A} =910pF
0.5 μ s	225 Ω	226 Ω	191 Ω	191 Ω	C _{2B} =1.8nF
1 μ s	450 Ω	453 Ω	383 Ω	383 Ω	
2 μ s	900 Ω	909 Ω	765 Ω	768 Ω	
4 μ s	1800 Ω	1820 Ω	1530 Ω	1540 Ω	
8 μ s	3600 Ω	3650 Ω	3061 Ω	3090 Ω	
12 μ s	5405 Ω	5490 Ω	4593 Ω	4640 Ω	

Tabla 3.4. Valores calculados de resistencias y condensadores del filtro gaussiano para $n_G = 5$

El ancho de pulso $t_{0.01}$ para el filtro gaussiano es significativamente menor que en el caso del filtro CR-(RC)ⁿ, de forma que es más adecuado para aplicaciones en las que se trabaje con una alta tasa de pulsos de entrada como se muestra en la Tabla 3.5.

Orden del filtro n_G	5	7
$t_{0.01}/t_p$	2.84	2.55

Tabla 3.5. Ancho de pulso para el filtro Gaussiano.

La Figura 3.17 muestra el tiempo de pico y el ancho del pulso para el filtro diseñado. El tiempo de pico es del orden de 2τ y el ancho al 1% de la señal es del orden de 4τ , siendo $\tau = 0.5\mu$ s. Estos resultados de simulación coinciden con los justificados en el diseño del circuito para un shaper óptimo con salida casi-gausiana obtenido en el apartado 3.3.3 mediante el diseño de Okawa. La señal a la salida del filtro ya se puede observar similar a la deseada.

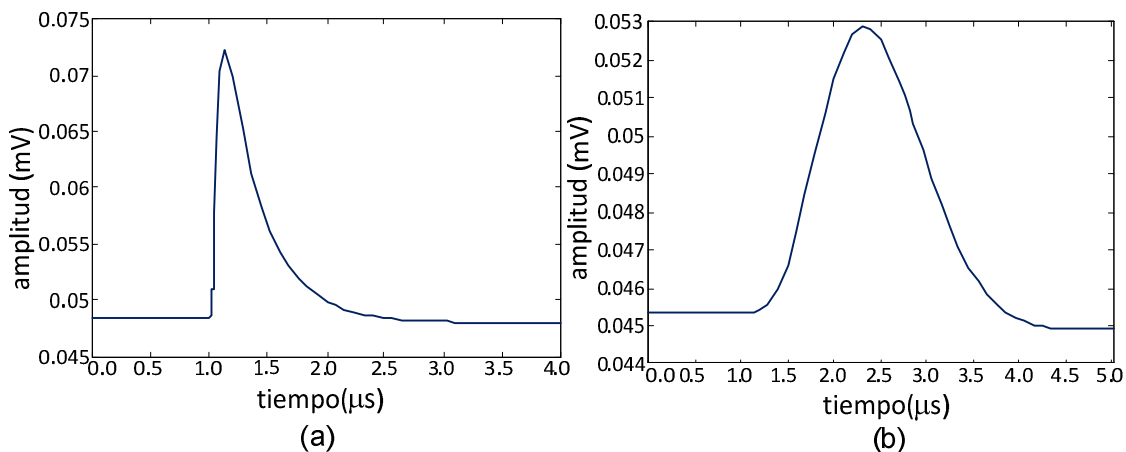


Figura 3.17. Señal de entrada (a) y salida (b) a la etapa de filtrado RC para $\tau=0.5\mu\text{s}$.

La señal a la salida del filtro ya se puede observar similar a la deseada.

3.4.3.1 Análisis de Fourier para el filtro diseñado.

A continuación vamos a realizar un análisis tomando como partida la ecuación completa de respuesta del circuito CR-(RC)⁴ dada en la ecuación (3.1) y la aplicaremos al filtro que hemos diseñado en el apartado anterior.

La señal de entrada que vamos a introducir será de tipo escalón con amplitud unidad y con un decaimiento exponencial lento similar a las señales de salida del CSA.

Para los valores calculados de los componentes del circuito obtenemos las respuestas temporales mostradas en la Figura 3.18(a). Los resultados de tiempo de pico y ancho de pulso para varios tiempos de conformado se muestran en la Tabla 3.6. En la tabla también se listan la frecuencia de corte y el ancho de banda del filtro acorde con el análisis de Bode realizado.

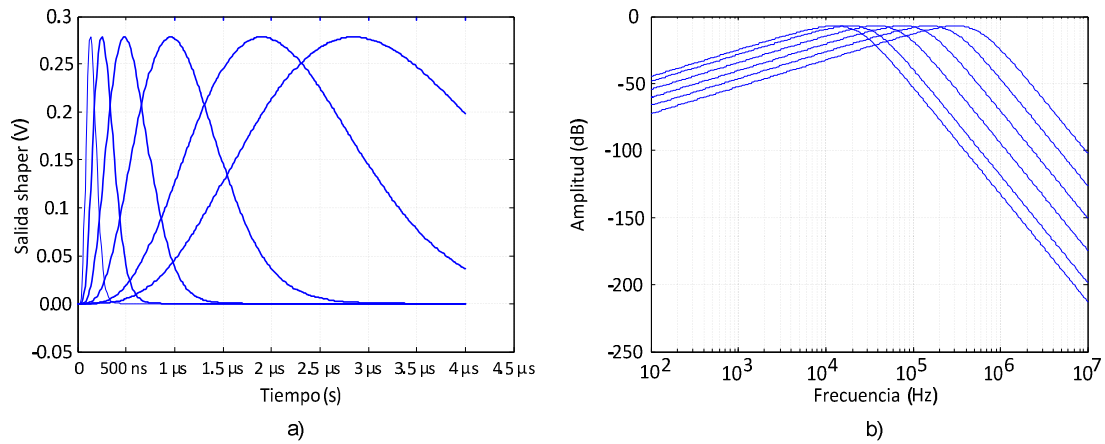


Figura 3.18. a) Respuesta temporal al escalón unidad del filtro semi-gausiano Ohkawa para diferentes shaping time. b) Respuesta en frecuencia para diferentes “shaping time”.

Shaping Time	Peaking Time	Ancho Pulso	Frecuencia Central	Ancho de Banda -3 dB
0.5 μs	1.3 μs	2.6 μs	308.5 kHz	381.3 kHz
1 μs	2.5 μs	4.8 μs	153.7 kHz	190 kHz
2 μs	4.9 μs	8.6 μs	77 kHz	95.2 kHz
4 μs	9.2 μs	14.3 μs	38.5 kHz	47.6 kHz
8 μs	19 μs	32 μs	19.2 kHz	29.8 kHz
12 μs	27.5 μs	43 μs	12.8 kHz	15.8 kHz

Tabla 3.6. Tiempos de respuesta y frecuencia de corte del filtro Ohkawa para diferentes shaping time.

La respuesta en frecuencia del filtro para varios “shaping time” se observa en la Figura 3.18(b). Podemos observar cómo la frecuencia de corte es de 153.7kHz para 1μs y coincide aproximadamente con la expresión:

$$f_c = \frac{1}{2\pi RC} \tag{3.42}$$

donde RC es la constante de tiempo de conformado o *shaping time*.

En la Figura 3.18(b) también se observa la pendiente del filtro en altas frecuencias que es del doble que la pendiente a bajas frecuencias, lo cual es lógico al ser el filtro paso bajo de cuarto orden y con una atenuación más rápida

de las altas frecuencias y el filtro paso alto de primer orden con cambio en la atenuación más lenta de las bajas frecuencias.

3.4.4 Amplificador de Ganancia Variable (VGA).

La Figura 3.19 muestra un esquema del amplificador de ganancia variable. Este permite un ajuste fino de la ganancia y así adecuar la amplitud de la señal a la etapa siguiente. La tensión V_{gain} controla la ganancia de la etapa a través del amplificador de transconductancia basado en el LM13700. El par de transistores en configuración Darlington seguidor de emisor, incluido dentro del circuito integrado, se emplea para reducir la impedancia de salida de la etapa.

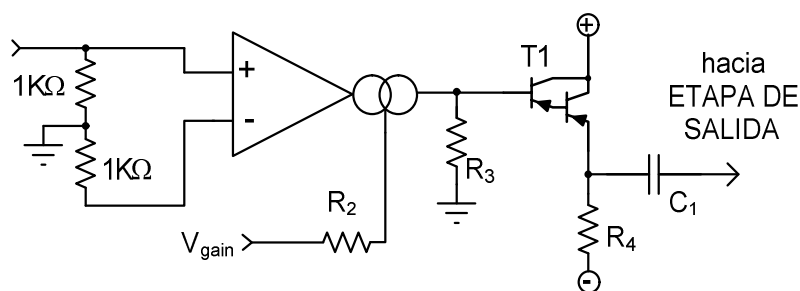


Figura 3.19. Diseño del amplificador de ganancia programable en torno a un amplificador de transconductancia LM13700.

3.4.5 Circuito restaurador de la línea base.

El problema del desplazamiento de la línea base es menos severo cuando se emplea el conformado de pulsos bipolar. Sin embargo, el conformado de pulso unipolar es más ventajoso que el bipolar cuando se consideran las características del ruido y el ancho del pulso. Añadir un bloque PZC significa que el bloque CSA-shaper se encuentra acoplado en DC (sin R_{pz} el bloque CSA-shaper estaba acoplado en AC). El acoplamiento AC entre etapas en la electrónica se emplea habitualmente en sistemas multicanal para evitar la propagación del offset a través del camino completo de la señal, y para

minimizar el problema de las corrientes de fuga en caso de un detector acoplado en DC.

Una secuencia de pulsos unipolares atravesando una etapa acoplada en AC provoca que la línea base se desplace. También se producen efectos similares en sistemas que tengan un camino de corriente continua (DC) de la entrada a la salida que modifican la respuesta en frecuencia de la electrónica *front-end* a través de una red de realimentación (normalmente para reducir la ganancia en el rango de bajas frecuencias). En estos casos se emplea un circuito de restauración de línea de base (*Base Line Restorer*, BLR).

La idea del BLR se muestra en Figura 3.20. Los componentes básicos son un condensador de memoria y un conmutador de pequeña resistencia R. Entre pulsos, el conmutador está cerrado con el voltaje de la línea de base. Cuando la señal llega, el conmutador se abre y la señal de salida viene dada por la señal de entrada menos su línea base [Rad67], [Pul05].

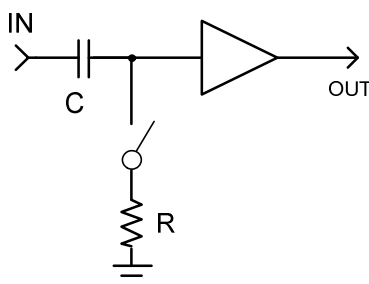


Figura 3.20. Idea básica del BLR.

Existen varios circuitos de BLR en la literatura [Rad67], [Pul05], [Rob61], [Cha67], [Ger67]. Los BLR tienen normalmente un gran ancho de banda para proporcionar un retorno rápido a la línea de base entre pulsos.

Gerónimo, et al. [Ger00a], [Ger00b] proponen un concepto diferente basado en un bucle de realimentación o control cerrado sobre el amplificador

conformador de pulsos y la etapa de salida. En la Figura 3.21 se muestra un esquema genérico del circuito de control para la restauración de la línea base.

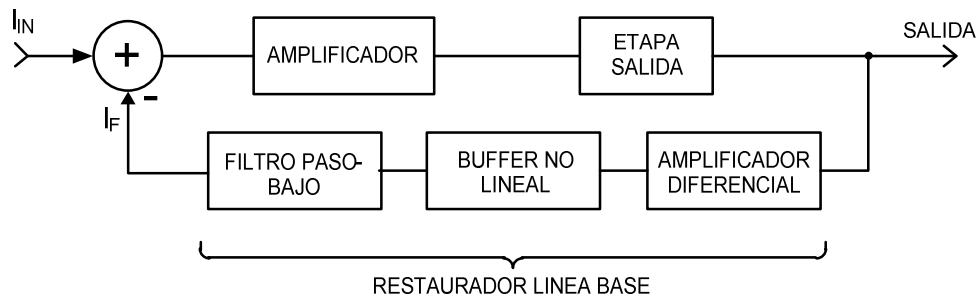


Figura 3.21. Esquema simplificado de parte del canal de entrada conteniendo el restaurador de línea base.

El bucle de control consiste en un amplificador diferencial, un buffer no-lineal y un filtro paso bajo. El voltaje de salida V_{out} se compara con el voltaje de referencia V_{ref} , de forma que la salida se fija a este valor cuando el circuito de control está activo. Esta tensión de referencia por tanto es normalmente cero voltios. El buffer no-lineal reduce la ganancia del bucle de realimentación (haciéndolo de esta manera inoperativo) en presencia de una señal rápida y de gran amplitud (la señal que nos interesa).

En la Figura 3.22 se puede ver un esquema más detallado de la implementación práctica del restaurador de línea base. El filtro paso bajo del bucle (generalmente un simple filtro RC formado con C_{lp} y R_{lp} en la figura) reduce el ancho de banda del bucle y asegura su estabilidad. La corriente I_F resta de la corriente de la señal principal I_{IN} en la entrada del shaper, en una etapa intermedia o en la misma etapa final, modificando la línea base.

El buffer no-lineal está basado en un amplificador de transconductancia (OTA) integrado. Este amplificador queda desactivado durante los periodos de tiempo que la señal está presente.

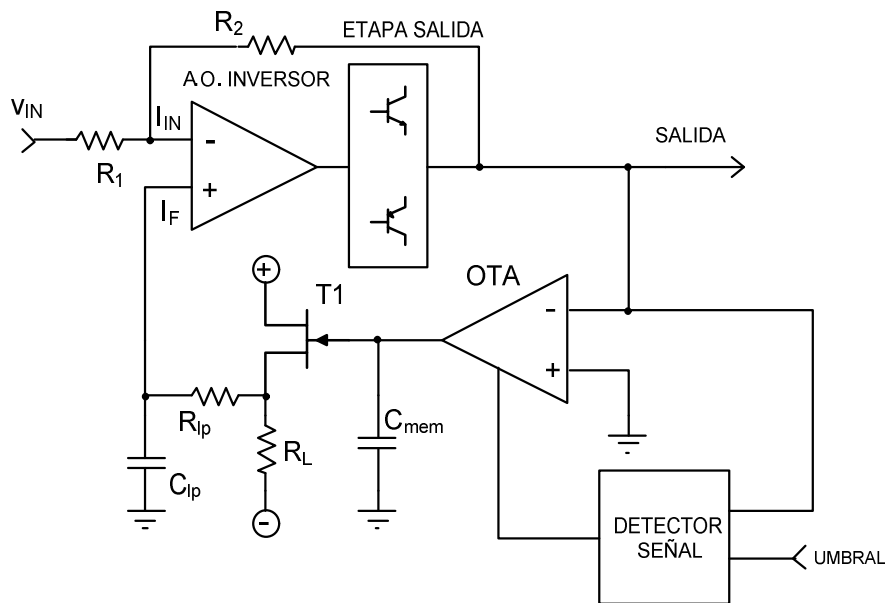


Figura 3.22. BLR formado por la etapa de salida, un detector de señal, un amplificador de transconductancia y un seguidor con JFET.

Cuando un comparador de tensión auxiliar detecta el pulso de señal como válido porque ha superado un cierto umbral programable, inyecta una corriente en el *OTA* que corta la etapa diferencial de salida del amplificador. De esta forma el *OTA* sólo trabaja durante los instantes que la señal no está presente, generando una tensión de control proporcional y opuesta a la de la línea base sensada.

La tensión de control se mantiene almacenada en ese momento en el condensador de memoria C_{mem} . Esta tensión de corrección para la línea base queda amplificada por T_1 que presenta una gran impedancia de entrada para evitar la rápida descarga del condensador en los tiempos en que el *OTA* está inactivo. A continuación, esta tensión de corrección se introduce en la etapa de salida de forma que la salida iguale a la tensión de referencia (normalmente cero voltios) programada en la entrada positiva del amplificador de transconductancia.

El esquema propuesto en esta tesis del circuito BLR se puede observar en la Figura 3.23. El circuito está ligado fuertemente con la etapa de salida.

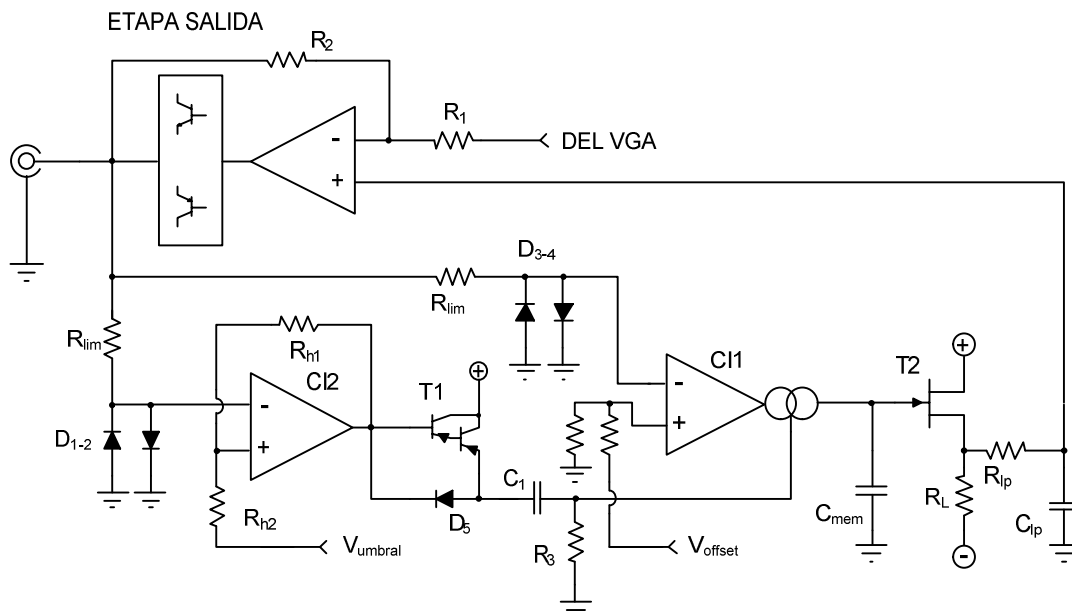


Figura 3.23. Circuito BLR que actúa sobre la etapa de salida.

El restaurador de línea de base está basado en un amplificador de transconductancia LM13700 (CI1) que se hace funcionar sólo durante los periodos que no hay señal. Para detectar la señal se ha empleado un simple comparador con histéresis basado en un LM311 (CI2). El comparador se alimenta de la señal de salida recortada a $\pm 0.7V$ con ayuda de R_{lim} y D_{1-4} para limitar el nivel de tensión a la entrada del comparador.

El comparador detecta sólo los pulsos positivos a la salida de la etapa de salida programando una señal de referencia V_{umbra} en el rango 0 a $+0.7V$. La histéresis en el comparador se introduce con el divisor de tensión R_{h1}/R_{h2} .

La señal de salida del comparador se hace cero voltios en presencia de la señal gaussiana de salida del shaper. Este nivel hace que el condensador C_1 que estaba cargado a través de T_1 y R_3 se descargue a través de D_5 haciendo

negativa la entrada de control del OTA CI2. Esto provoca el corte de los transistores de la etapa diferencial de salida de CI2, por lo que queda bloqueada su salida durante los periodos que hay señal, permaneciendo virtualmente en “alta impedancia”.

En los periodos en los que hay señal, la tensión resultado de la comparación queda almacenada en C_{mem} que se carga (cuando está disponible la línea base para muestrearla) al valor medio de la línea base que queremos corregir. El valor de línea base de salida deseado se puede desplazar actuando sobre la tensión de comparación V_{offset} . Esta tensión normalmente será cero voltios y estará comprendida entre 0 y 0.7V, pues se limita la tensión que alcanza el comparador.

Resumiendo, durante los periodos en los que no hay señal, el OTA está activo y compara la señal de salida con cero voltios. Del resultado de esta comparación tenemos una salida de +12V o bien de -12V que carga el condensador C_{mem} al valor medio de la línea de base que queremos corregir. Durante los periodos que hay señal el OTA está bloqueado, su salida en alta impedancia y el condensador mantiene la carga que tuviese.

Para mantener más tiempo la carga del condensador se emplea el transistor T_2 . Se trata de un JFET de alta impedancia de entrada que evita la descarga del condensador y que amplifica la señal que se emplea para programar el offset necesario para contrarrestar la línea de base y retornar ésta a su nivel deseado de cero voltios. Esto se realiza introduciendo esta señal de error en la etapa de salida y sumándola a la señal de entrada que proviene del VGA.

En la Figura 3.24 podemos observar el resultado de la simulación con la entrada no inversora del amplificador operacional de salida a tierra, o sea, funcionando el circuito de control en bucle abierto. En esta simulación se observa que la señal de salida tiene un offset negativo, debido a la alta tasa de conteo que se ha simulado.

En la Figura 3.24(a) podemos observar señal de salida del amplificador con el BLR desconectado, la Figura 3.24(b) es la tensión a la salida del comparador, donde se observa que realiza correctamente la detección de la señal.

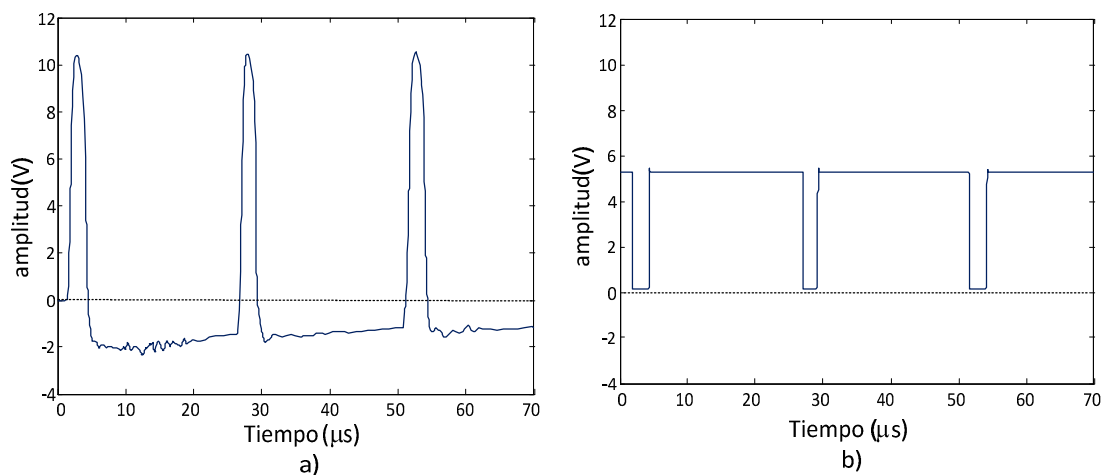


Figura 3.24. Simulación de funcionamiento del BLR sobre una señal de entrada. (a) Señal de salida con desplazamiento de la línea base. (b) Salida del detector de pulso.

Como el bucle está abierto, el circuito de control no realiza su función y la salida tiene un offset apreciable. Como podemos apreciar en la Figura 3.25 que la señal de salida nunca vuelve al nivel de cero voltios debido a la elevada tasa de llegada de las partículas al detector; el BLR está desconectado.

A continuación se conecta la entrada no inversora del amplificador operacional al filtro formado por R_{LP} y C_{LP} proveniente del JFET T_2 , de forma que ahora el circuito está funcionando en bucle cerrado y en la simulación se aprecia su efecto de corrección sobre la señal de salida.

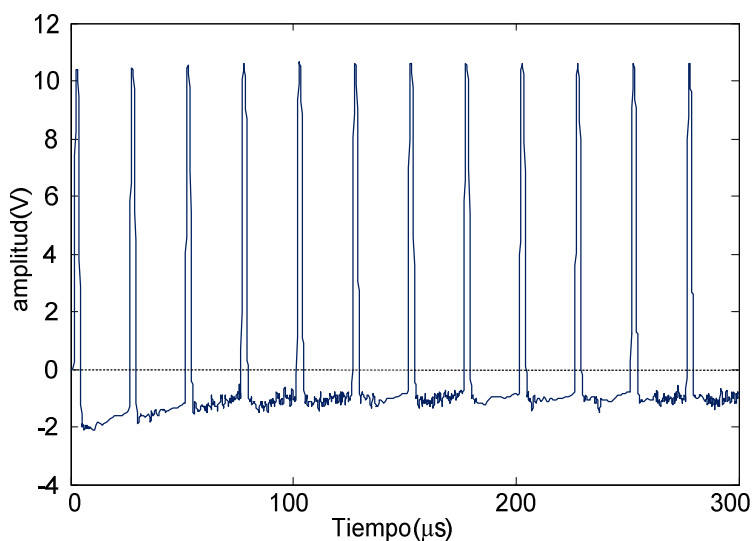


Figura 3.25. Señal de salida con impulsos que simulan mayor actividad.

El circuito restaura la línea base a nivel de cero voltios en un corto espacio de tiempo. La Figura 3.26 muestra la salida del circuito para una alta tasa de llegada y como se mantiene la línea base correctamente a cero voltios.

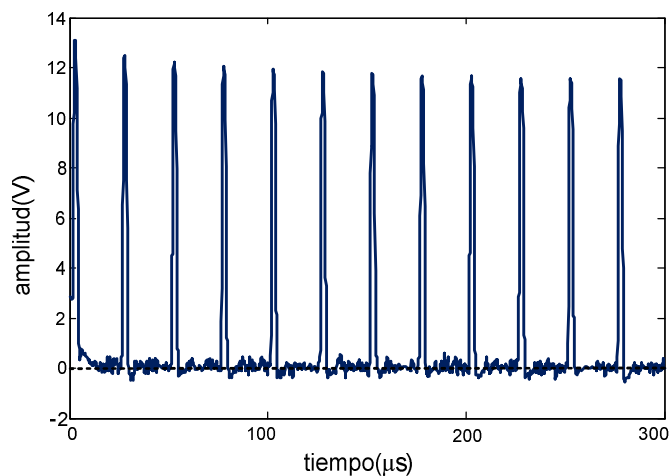


Figura 3.26. Funcionamiento del BLR al conectarse el circuito. La compensación del circuito BLR actúa sobre la línea base llevándola a cero pasado un tiempo desde su activación.

3.4.6 Etapa de salida.

La etapa de salida se puede ver en la Figura 3.27. Esta etapa se realiza mediante transistores discretos porque debe ser capaz de generar pulsos de más de 8V de pico sobre carga de 50Ω , lo que nos lleva a generar una corriente de

unos 160mA, que el amplificador operacional empleado hasta ahora no es capaz de alcanzar. Este circuito se diseña en torno a una etapa de salida en clase AB. Para evitar la distorsión que se produciría en el paso por cero de la señal de salida, debemos de polarizar los transistores para que se encuentren en zona lineal en reposo. Esto se consigue fijando la corriente estática a un valor razonable.

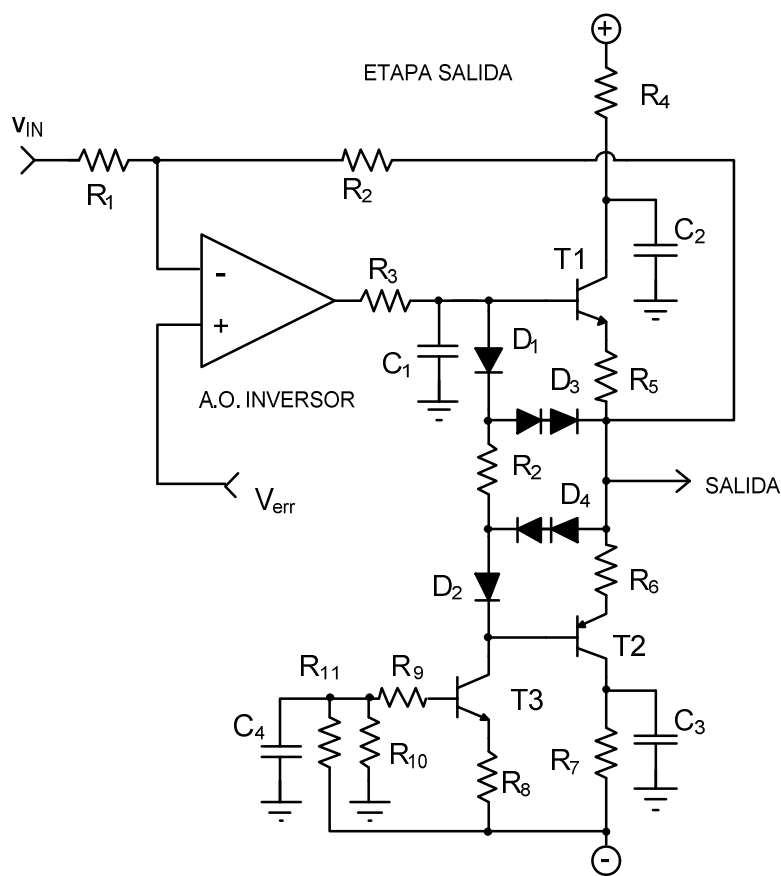


Figura 3.27. Etapa de Salida con transistores discretos polarizados en clase AB.

La configuración clásica, utilizada en esta aplicación emplea un amplificador inversor. Polarizando la entrada no inversora con un tensión V_{err} podemos modificar el offset de la señal de salida y de esta forma poder restaurar el nivel base de la señal a cero voltios. Esto se realiza mediante el circuito BLR ya analizado en el apartado 3.4.5 que muestrea la señal de salida y

realiza las correcciones sobre esta señal de mando. Podemos poner a tierra esta señal para que no afecte a la simulación de esta etapa.

La red formada por R_3 y C_1 constituye un filtro paso bajo que estabiliza el amplificador a altas frecuencias. Los diodos D_1 y D_2 producen la caída de tensión necesaria para mantener en conducción los transistores T_1 y T_2 que forman la etapa de salida de forma que no se produzca distorsión de cruce en el amplificador. De esta forma la etapa queda polarizada en clase AB. Las resistencias R_2 y R_8 fijan la polarización de la etapa de salida, junto con el transistor T_3 . Esta polarización se fija a un valor cercano a los 15mA, adecuado para una baja disipación de potencia en condiciones estáticas de la etapa de salida. Los diodos D_3 y D_4 forman un circuito de protección frente a cargas inductivas a la salida que podrían provocar sobretensiones que dañarían los transistores de salida. Las resistencias R_5 y R_6 protegen la etapa de salida frente a cortocircuitos, mientras que R_4 y R_7 limitan la corriente que circula por los transistores de salida a un valor seguro, menor de unos 200mA.

La disipación de potencia de la etapa de salida puede llegar al vatio cuando el amplificador está generando pulsos a alta frecuencia y con la amplitud máxima, por lo que se han usado transistores discretos con encapsulado metálico convencional y no de montaje superficial. Los transistores con encapsulado metálico estándar tienen un factor de disipación más favorable. Los condensadores C_2 , C_3 y C_4 se emplean para filtrado de las tensiones de alimentación del circuito.

3.5 Programabilidad.

El circuito del shaper ha sido diseñado para que se puedan controlar los siguientes parámetros analógicos.

1. Compensación polo-cero. Se realiza mediante una tensión continua que polariza el JFET T1 de la Figura 3.9 que actúa como resistencia variable. La tensión de polarización se obtiene mediante un convertidor D/A de 12 bits de precisión y un amplificador operacional que adapta los rangos de tensión.
2. Ganancia gruesa. Se realiza mediante un multiplexor CMOS bidireccional de tipo 4051 que selecciona las resistencias adecuadas de un divisor de tensión formado por las resistencias RV_1 y RV_2 de la Figura 3.15. Este control es digital y emplea tres bits.
3. Factor de conformado. Se realiza mediante un multiplexor doble CMOS bidireccional de tipo 4053 que selecciona las resistencias adecuadas para la frecuencia de corte diseñada para el filtro. Son las resistencias R_{1A} , R_{2A} , R_{1B} y R_{2B} de la Figura 3.16. Este control es digital y emplea 2 bits.
4. Ganancia fina. Se realiza mediante la polarización del amplificador de ganancia programable mediante la tensión V_{gain} en la Figura 3.19 proveniente de un convertidor A/D de 12 bits y una etapa de ajuste de rangos de tensión.
5. Umbral para el circuito BLR. Se realiza mediante la polarización del detector de señal con una tensión V_{umbral} que se muestra en la Figura

3.23. Esta tensión proviene de un convertidor A/D de 12 bits y una etapa de ajuste de rangos de tensión.

6. Offset de salida del shaper. Se utiliza mediante la polarización del comparador OTA con una tensión V_{offset} que se muestra en la Figura 3.23. Esta tensión proviene de un convertidor A/D de 12 bits y una etapa de ajuste de rangos de tensión.

En resumen, el sistema de control debe generar cuatro señales analógicas de polarización y dos señales digitales de 2 y 3 bits.

Las tensiones analógicas de control se generan mediante dos convertidores D/A dobles de 12bits de tipo AD5722 controlados mediante bus SPI por un microcontrolador de 8 bits. El microcontrolador, activa mediante 5 líneas digitales, los multiplexores analógicos CMOS para controlar ganancia y tiempo de conformado.

El sistema una vez fabricado, debe realizar una calibración en la que se ajustan los valores digitales de los convertidores D/A a los valores reales de salida. Se emplea un algoritmo de calibración a través de un programa que permite grabar en una memoria no volátil la curva de calibración de cada parámetro controlable por el usuario, y que permite alcanzar precisiones mejores del 1% en los parámetros controlados. El usuario, puede entonces, modificar en tiempo real los parámetros de control analógicos de forma continua.

El control del equipo se puede realizar de forma remota a través de un puerto RS-422 y a través de varios convertidores a formatos RS-485, serie, USB o Ethernet. El control del equipo también se puede realizar de forma simultánea a

través de un panel de control con pulsadores de selección, un dial y una pantalla de 4 dígitos.

El hardware y software, así como consideraciones de desarrollo, de este sistema se estudian en el Capítulo 5.

3.6 Resultados y medidas experimentales.

Se han realizado varios prototipos hasta conseguir un comportamiento correcto del circuito. La Figura 3.28 muestra la fotografía del prototipo final donde se eliminó la fuente de alimentación (se emplea fuente estándar NIM) y se emplearon técnicas de realización de layout para minimizar la impedancia del plano de masa empleando una placa de circuito impreso multicapa con extensos planos de masa y ecualizando las líneas mediante pistas de cobre para mantener la impedancia controlada. La placa incluye también el sistema de control remoto de los parámetros de funcionamiento.

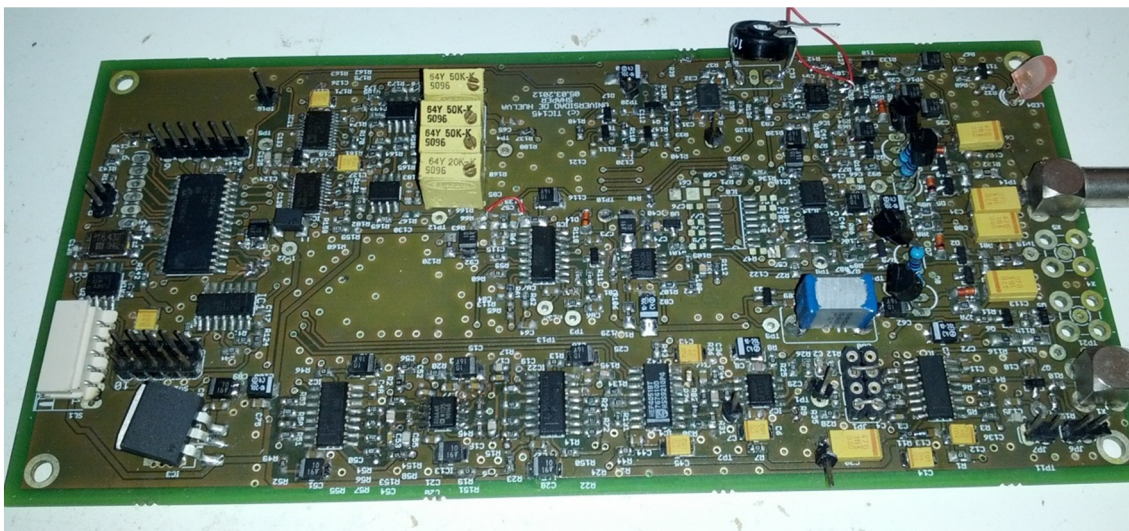


Figura 3.28. Fotografía del prototipo final del shaper.

El prototipo final ha sido testado con el fin de comprobar su correcto funcionamiento y que cumple las especificaciones establecidas. El circuito se alimentó con tensiones de $\pm 12V$ y $\pm 6V$, se utilizaron resistencias con una precisión del 1%, y el consumo total de potencia es de unos 2W. Las pruebas consisten en la generación de pulsos estrechos negativos procedentes de un generador de ondas Agilent 81160A equivalente al detector en un sistema NIM. La salida será monitorizada y caracterizada por el osciloscopio Agilent MSO9404. La configuración de test se puede observar en la Figura 3.29.

La salida SYNC del generador de pulsos se conecta al osciloscopio como fuente de disparo. El osciloscopio empleado fue el Agilent MSO9404 de 4GHz.

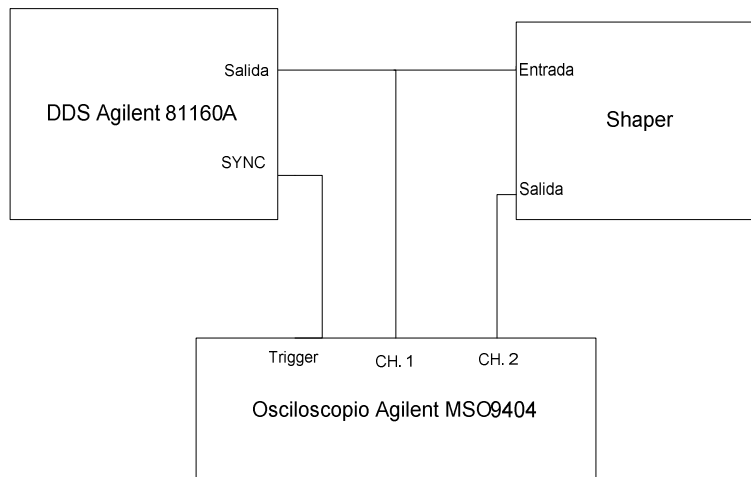
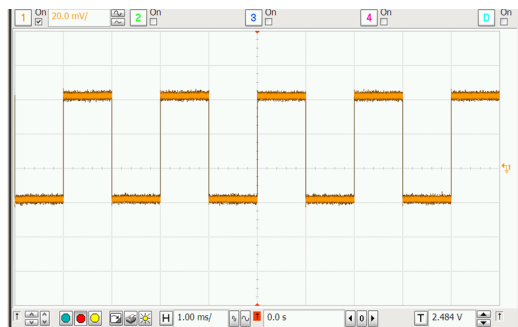


Figura 3.29. Diagrama de configuración de test.

En la Figura 3.30(a) se aprecia la señal de entrada proporcionada por el generador al shaper diseñado. Se trata de una señal cuadrada con unos tiempos de bajada y de subida muy rápidos de alrededor de 1ns. En la Figura 3.30(b) se muestra la señal resultado de un conformado de pulso con una constante de tiempo $\tau = 1\mu s$, pudiéndose observar la simetría del pulso, y por tanto, la obtención de una señal casi-gausiana.

La señal de salida del generador tiene una impedancia de salida de $1K\Omega$, que suele ser común como impedancia de entrada de estos sistemas amplificadores de instrumentación nuclear.



a)

b)

Figura 3.30. Señal de entrada (a) proporcionada por el generador y salida del conformador de pulsos (b).

En la Figura 3.31 se aprecia la señal de salida para distintos tiempos de integración con una señal de entrada de 30mV y con una ganancia programada en el circuito de 100. En la figura se muestra la programación del tiempo de integración o *shaping time* (τ) de $0.5 \mu s$, $1 \mu s$, $2 \mu s$ y $4 \mu s$.

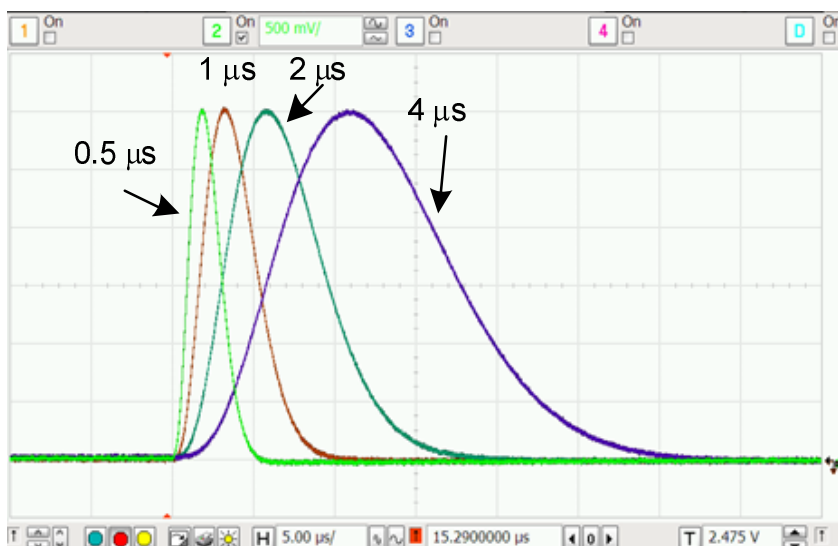


Figura 3.31. Señal de salida para distintos tiempos de integración.

Los datos medidos de forma experimental de los tiempos de pico y ancho de pulso al 1% de la señal se ofrecen en la Tabla 3.7 y están en consonancia con los datos obtenidos en el análisis de Fourier en la Tabla 3.6 y en la simulación con Pspice en la Figura 3.17.

Shaping Time (τ)	Peaking Time (t_p)	Ancho Pulso ($t_{0.01}$)
0.5 μs	1.6 μs	4.9 μs
1 μs	2.8 μs	8.2 μs
2 μs	4.8 μs	15.9 μs
4 μs	9.1 μs	25.4 μs

Tabla 3.7. Datos de tiempos de pulso de salida medidos de forma experimental.

En la Figura 3.32 se aprecia el comportamiento del circuito de compensación polo-cero actuando sobre una señal de salida con un tiempo de shaping de $4\mu\text{s}$ para distintas configuraciones de control: 0% (sin compensación), 20% y 75% de compensación.

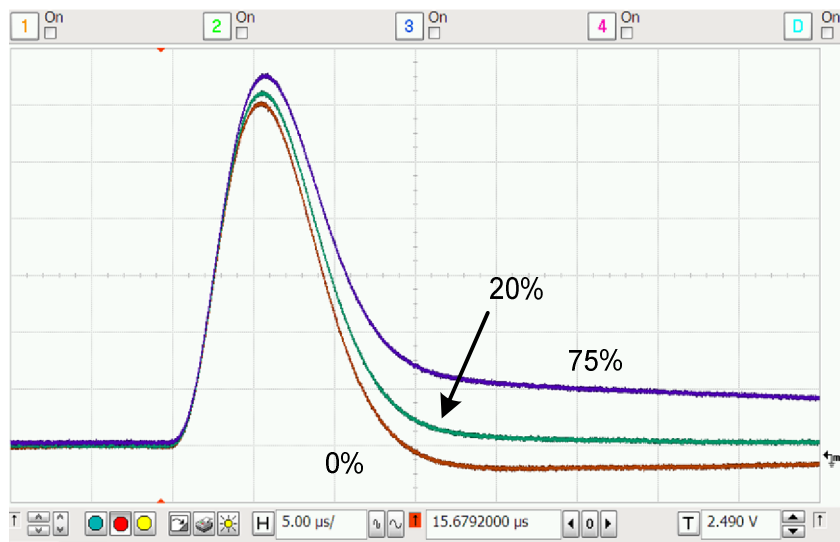


Figura 3.32. Señal de salida para distintas posiciones del control de compensación polo-cero: sin compensación, 20% y 75%.

En la Figura 3.33 se muestra la señal de salida para distintas configuraciones del control de ganancia, con una señal de entrada de 30mV y

factores de ganancia de 67, 83 y 100 para obtener en la salida 2V, 2.5V y 3V respectivamente.

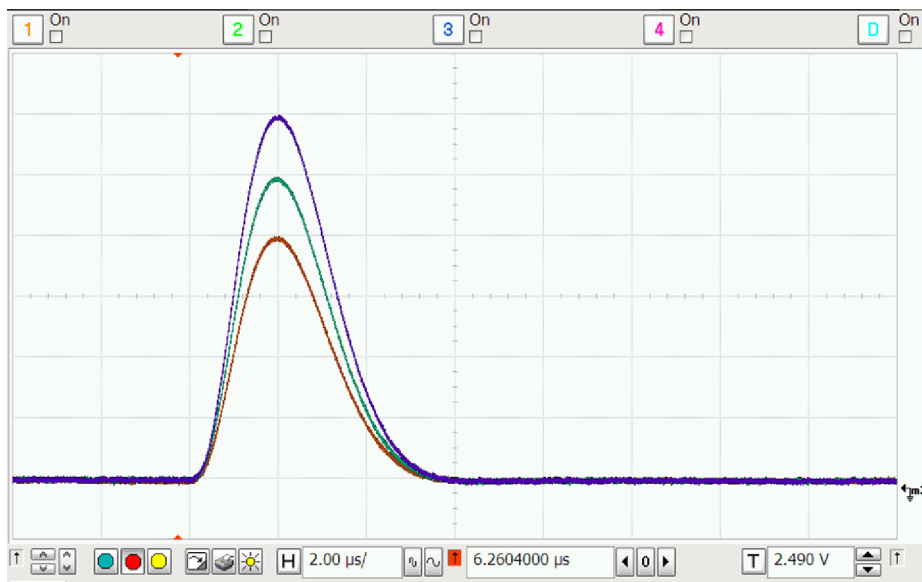
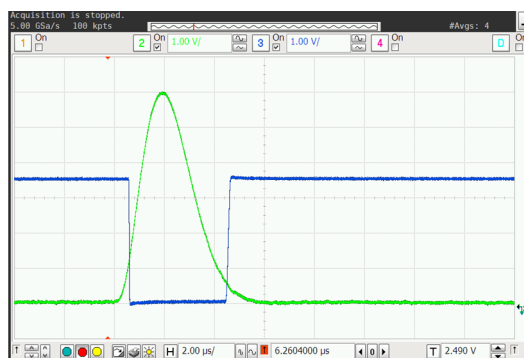


Figura 3.33. Señal de salida para distintas configuraciones del control de ganancia.

A continuación se muestra el resultado del funcionamiento del circuito de restauración de la línea de base. En la Figura 3.34 se aprecia la señal de salida de detección de pulso (*busy*) para tres configuraciones del control de umbral.



(a)

(b)

Figura 3.34. Señal de entrada y señal de detección de pulso para distintas configuraciones del control de umbral de pulso del BLR. (a) BLR desactivado, (b) BLR disparo al 20%.

La Figura 3.34(a) el umbral se ha programado fuera de la señal, por lo que el control BLR está inoperativo y la señal busy no se genera. De esta forma la

línea base no se controla y está un poco por encima del nivel de cero voltios. En la Figura 3.34(b) se observa que la señal busy se corresponde con el 20% aproximadamente de la amplitud de pico de la señal. El BLR está operativo y mantiene la línea base a cero voltios.

El control de offset nos permite controlar la posición de la línea base en caso que sea necesaria una corrección en las medidas. En la Figura 3.35 se aprecia la señal de salida para dos selecciones de valor de offset de salida, una positiva y otra negativa.

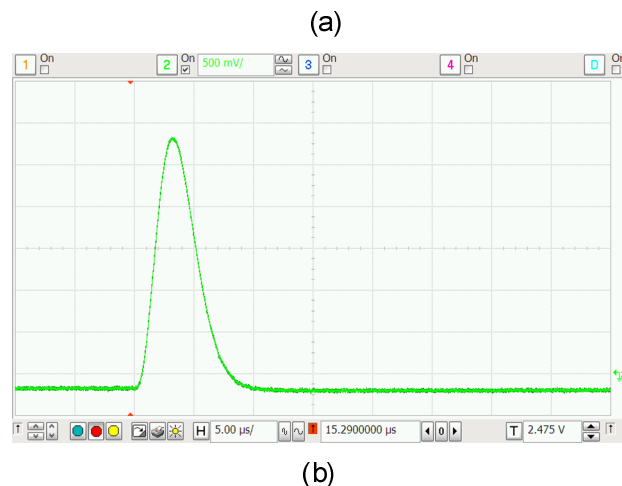


Figura 3.35. Señal de salida al variar el control de offset de salida que opera sobre el BLR. (a) selección de offset positivo, (b) Selección de offset negativo.

La linealidad es una propiedad importante del shaper. Podemos ver una gráfica donde se muestra la señal de salida para distintos valores de entrada con

una ganancia de 20 y un *shaping time* de $1\mu s$ en la Figura 3.36. Se obtiene una linealidad $< 1\%$ para un rango de la señal de salida de aproximadamente 8 V.

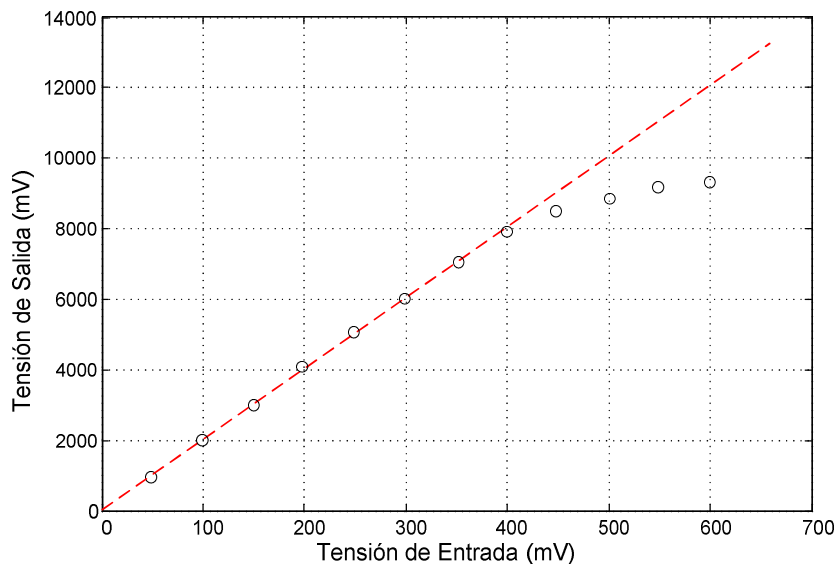


Figura 3.36. Gráfica de linealidad del amplificador donde se muestra el valor de pico de salida para una señal de entrada de amplitud variable.

Los principales parámetros que definen el funcionamiento del shaper se recogen en la siguiente tabla:

Parámetro	Valor
Impedancia de entrada	1K Ω
Impedancia de salida	50 Ω
V _{DD}	$\pm 12V, \pm 6V$
Consumo de potencia	2 W
Ganancias programables	20,50,100,200,500 y 1000 de forma continua en rangos
Factores de conformado	0.5 $\mu s, 1\mu s, 2\mu s$ y 4 μs
Rango de salida	hasta 8V
Linealidad	$< 1\%$ hasta 8V
Offset programable	$\pm 0.5V$
Umbral de detección de señal	0 a 0.5V

Tabla 3.8. Parámetros de funcionamiento del shaper.

Capítulo 4

Diseño de un discriminador de fracción constante de alta resolución

4.1 Introducción a los discriminadores

En ciertos tipos de experimentos resulta necesario disponer de una información de temporización fiable obtenida a partir de la señal procedente del detector. Para ello se emplean los discriminadores. Los discriminadores electrónicos se usan en dos aplicaciones distintas pero complementarias: contar pulsos a muy alta velocidad, y detectar el instante de tiempo de la llegada de pulsos. Estos discriminadores están diseñados para lograr el mejor tiempo de resolución y la mayor tasa de conteo.

La Figura 4.1 muestra el diagrama de bloques de un experimento donde se necesita medir el tiempo de vuelo de las partículas y en donde se hace necesaria la utilización de discriminadores.

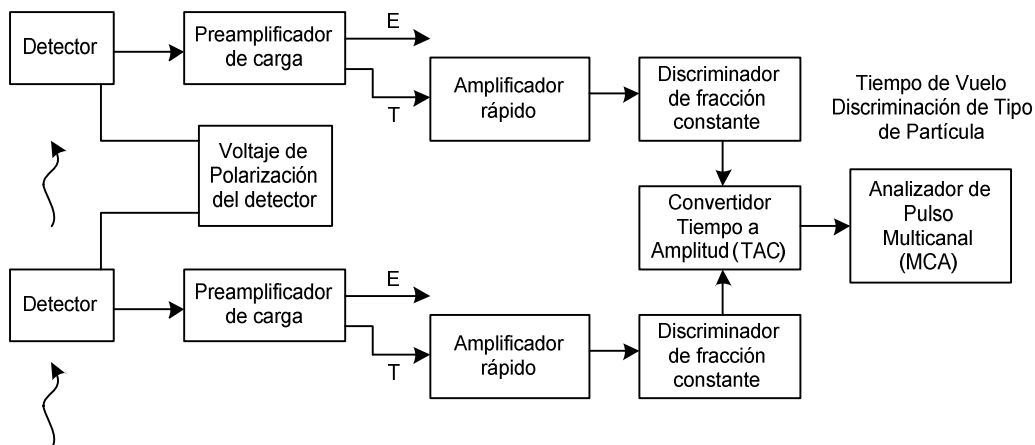


Figura 4.1. Cadena de instrumentación empleada medir el tiempo de vuelo entre dos detectores.

En este experimento se usa una fuente de iones de alta potencia que suele provenir de algún tipo de acelerador de partículas. El acelerador produce haces de partículas concentrados en el espacio y en el tiempo en forma de “paquetes” o “*bunches*”. Estos paquetes viajan en un medio en el que se ha hecho el vacío para que éstos no se vean frenados por las moléculas presentes en el aire. Un detector colocado en una posición adelantada en el haz detecta el paso de la partícula y dispara uno de los discriminadores. Este discriminador marca el tiempo de llegada de la partícula a la zona del experimento o “tiempo de start”. El primer detector es “transparente” al paso de las partículas, por lo que no detiene el haz, simplemente éste se ve frenado y pierde parte de su energía.

Por otro lado, un tiempo después, el resto de partículas del haz que han atravesado el primer detector alcanza el segundo detector y, con la ayuda de un discriminador adicional, marca el “tiempo de stop”. La velocidad de las partículas será proporcional al tiempo transcurrido entre los dos pulsos de

salida de los discriminadores. Estos pulsos son procesados por el TAC y analizados en el Analizador de Pulso Multicanal. De esta forma, obtenemos un histograma con la distribución de tiempo de vuelo que nos permite separar los distintos tipos de partículas que contenía el haz de partículas.

En aplicaciones de conteo, el pulso analógico de entrada que supera el umbral establecido del discriminador es convertido a un pulso estándar en la salida. Normalmente, el umbral se encuentra justo por encima del nivel de ruido. Durante el funcionamiento del dispositivo, cuando este se ha disparado, existe un tiempo durante el cual el dispositivo no acepta pulsos y no se puede volver a disparar con señal de entrada. Este tiempo se denomina “*tiempo muerto*” que normalmente es muy pequeño. En la mayoría de las aplicaciones la tasa de máxima de conteo está limitada por el detector y la electrónica que precede al discriminador, y puede limitar el tiempo de resolución del sistema.

El tiempo muerto experimentado cuando se usan los discriminadores rápidos para medidas de cuenta de eventos o de tiempo viene definido por la tasa de conteo y por dos tiempos muertos dominantes en cascada: T_e y T_{ne} . Estos dos tipos de tiempo muerto se distinguen en función de quién los produce. El tiempo muerto T_e depende de las características del detector y del preamplificador de carga. Se produce cuando el segundo pulso procedente del detector tiene lugar durante el pulso que lo precede, lo que hace que este segundo pulso no sea contado. Por otro lado, se conoce como T_{ne} al tiempo muerto producido por el ruido propio del discriminador. Esto hace que un pulso que llegue durante este tiempo muerto no será registrado. Si detrás del discriminador hay otro dispositivo que también produce tiempo muerto, éste será el mayor de los dos:

$$\text{Tiempo muerto} = T_e + T_{ne} \quad (4.1)$$

La principal función del discriminador de tiempo es detectar el instante de tiempo de llegada de los eventos. Alcanzar la resolución óptima es importante si las aplicaciones son espectroscopia o la determinación de eventos que ocurren simultáneamente en dos detectores. La técnica para la obtención de dicha resolución depende de las características del detector y de su aplicación.

4.1.1 Factores limitadores.

En ausencia de ruido y de variaciones de amplitud, el discriminador marca el tiempo de llegada de cada pulso analógico con precisión. Sin embargo, muchos sistemas incluyen un nivel no despreciable de ruido electrónico, y este ruido provoca una incertidumbre o fluctuación en el momento en el que el pulso analógico cruza el umbral del discriminador, como muestra la Figura 4.2(a).

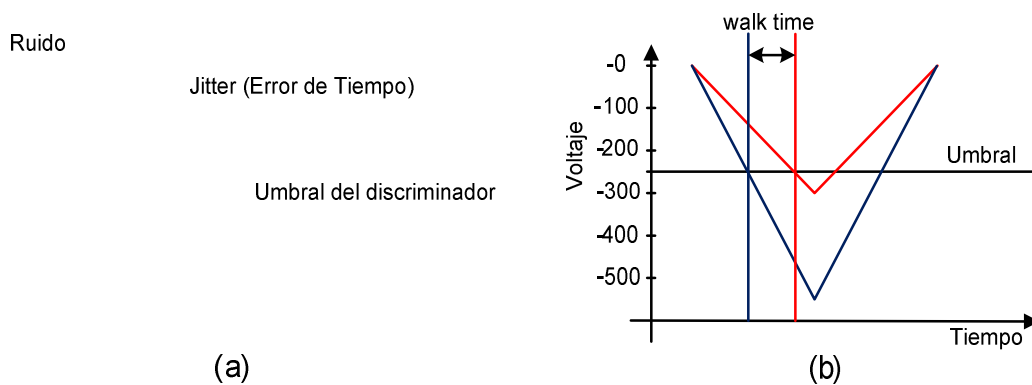


Figura 4.2. Discriminador de flanco. (a) Error de tiempo provocado por el jitter (b) Desplazamiento de tiempo (*walk time*).

Si e_n es la amplitud de la tensión de ruido superpuesta al pulso analógico, y dV / dt es la pendiente de la señal cuando el pulso cruza el umbral del discriminador, la contribución del ruido a la fluctuación de la sincronización es:

$$Jitter = e_n / (dV / dt) \tag{4.2}$$

Si el ruido no puede reducirse, se puede ajustar el umbral en el punto de máxima pendiente del pulso analógico. Si se aplica un filtro paso bajo para reducir el ruido, al disminuir el tiempo de subida del pulso, la pendiente en la ecuación (4.2) disminuye más rápidamente que el ruido, y el resultado es que aumenta el *jitter*. Por tanto, lo mejor es preservar el tiempo de subida de la fuente de señal. El ruido electrónico hace una contribución significativa al *jitter* con detectores de silicio y germanio.

Otro factor que limita el funcionamiento de un discriminador se conoce como “*walk time*”, que hace referencia a la dependencia del marcador de tiempo o punto de disparo del discriminador respecto de la amplitud del pulso de entrada. Esto se observa en la Figura 4.2(b) donde se representan dos pulsos que tienen la misma forma, han llegado en el mismo instante de tiempo, pero uno tiene el doble de amplitud que el otro. El pulso de mayor amplitud cruza el umbral del discriminador antes que el pulso más pequeño, provocando un error en el instante de detección.

Cuando se observa en un osciloscopio, la salida del discriminador parece “caminar” hacia atrás y adelante en el eje del tiempo en respuesta a las variaciones en las amplitudes de pulsos de entrada. Obviamente, este hecho degrada seriamente la resolución cuando debe procesarse una amplia gama de amplitudes de pulso. Para subsanar este grave problema se utilizan los denominados *discriminadores de fracción constante*.

4.1.2 Discriminador de fracción constante.

La existencia de una fracción óptima para la temporización con detectores ha estimulado el diseño de un circuito que siempre proporciona la fracción óptima para cualquier amplitud; este circuito se conoce como un discriminador

de fracción constante (CFD). La principal ventaja que ofrece el CFD es la reducción del “walk time”. El resultado es la obtención de una resolución de tiempo óptima en un amplio rango dinámico de amplitudes de pulso.

La Figura 4.3 muestra cómo se genera la señal de fracción constante: la señal de entrada se divide en dos caminos. Por un lado, la señal de entrada es atenuada a una fracción de la amplitud original V_a , y por otro camino se retrasa para más tarde ser invertida $-V_d$.

Estas dos señales se suman para formar la señal de fracción constante. Esta señal tiene la propiedad de cruzar la línea de cero voltios en el mismo instante independientemente de la amplitud de la señal original.

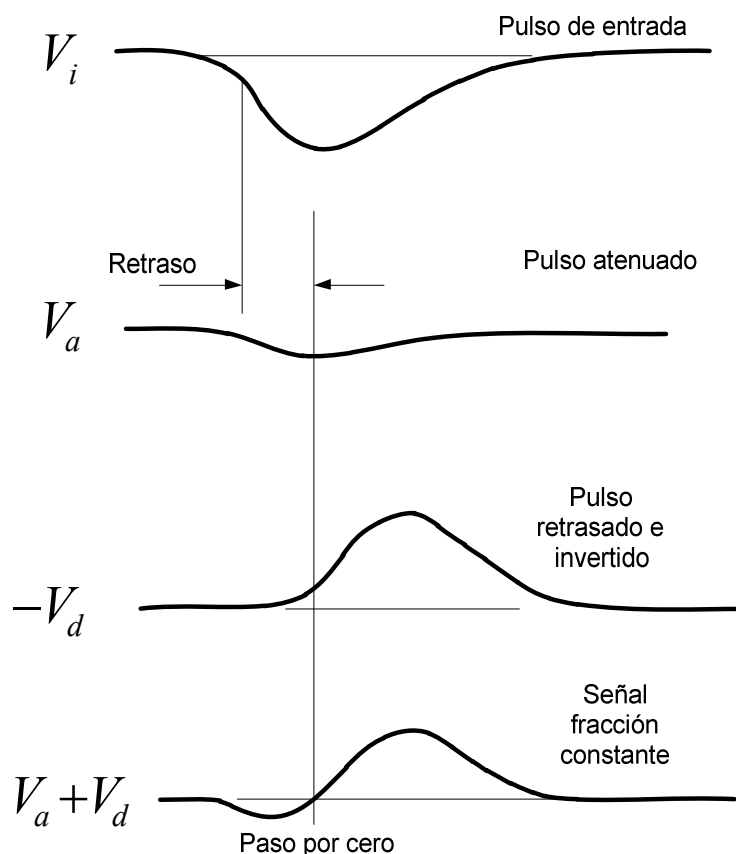


Figura 4.3. Formación de la señal de fracción constante.

El discriminador de fracción constante incorpora un discriminador de flanco que se dispara en el cruce por cero de la señal de fracción constante, proporcionando así un marcador de tiempo en la fracción óptima de la altura del pulso. Cuando la señal de fracción constante pasa por cero, el dispositivo se dispara y en su salida se produce el pulso lógico correspondiente.

Para calcular el tiempo que tarda la señal en pasar por cero suponemos que las señales internas en el CFD son rampas simples.

Siendo el retardo t_d , la fracción de la señal de entrada f y la amplitud inicial A , las ecuaciones de los pulsos de entrada, atenuado, retrasado e invertido son:

$$\begin{aligned} V_i &= -At \\ V_a &= -fAt \\ V_d &= A(t - t_d) \end{aligned} \quad (4.3)$$

donde V_i es el pulso de entrada, V_a es el pulso atenuado y V_d es el pulso retardado e invertido. El paso por cero se produce cuando la señal $V_a + V_d = 0$, de donde despejaremos el tiempo de cruce como t_{cruce} :

$$\begin{aligned} V_a + V_d &= -fAt_{cruce} + A(t_{cruce} - t_d) = 0 \\ t_{cruce} &= \frac{t_d}{1 - f} \end{aligned} \quad (4.4)$$

Como podemos ver t_{cruce} es independiente de la amplitud de la señal de entrada.

El retardo se elige para que el punto de fracción óptima del pulso retardado coincida con el pico de amplitud de la señal atenuada. En consecuencia, la adición de las dos señales produce una señal bipolar con un

cruce por cero que corresponde al punto original de fracción óptima de la señal retardada. En ese caso:

$$t_{d_ideal} = t_{subida}(1-f) \quad (4.5)$$

Sin embargo, si el retraso se elige más pequeño que t_{d_ideal} , el CFD opera a una fracción menor que f .

La Figura 4.4 muestra una representación modular de un CFD. La señal de entrada se retrasa y se invierte, y una fracción sin retardo de la señal se resta de la misma, generando un pulso bipolar; esta es la señal de fracción constante ya comentada. Su cruce por cero se detecta y se utiliza para producir una salida lógica mediante una puerta AND que se complementa con la señal lógica procedente de un comparador de umbral con un umbral programable.

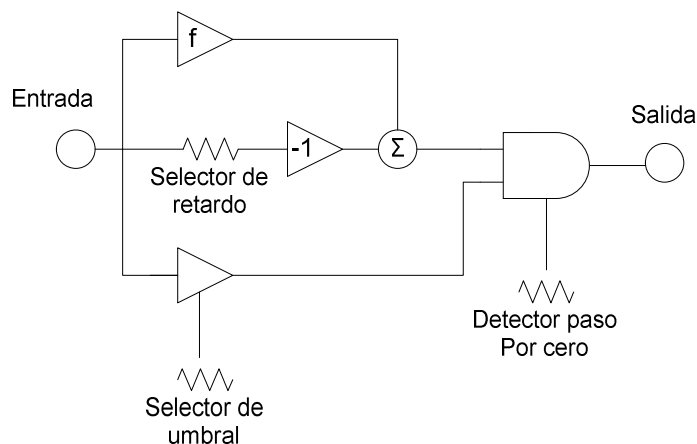


Figura 4.4. Representación modular de las etapas de un CFD.

Esto se hace así para que sólo los pulsos de entrada que superen el umbral adecuado generen pulsos a la salida. El pulso estará sincronizado con el paso por cero de la señal de fracción constante generada al emplear una puerta AND para unir ambas señales.

El *walk time* y el *jitter* se reducen al mínimo mediante un adecuado ajuste de la referencia de cruce por cero, y por la selección del factor de atenuación y del retardo correctos. Para la mayoría de aplicaciones, la fracción a aplicar suele estar entre 0,2 y 0,4.

4.2 Implementación del circuito.

En la Figura 4.5 se pueden distinguir los diferentes elementos que componen el CFD implementado.

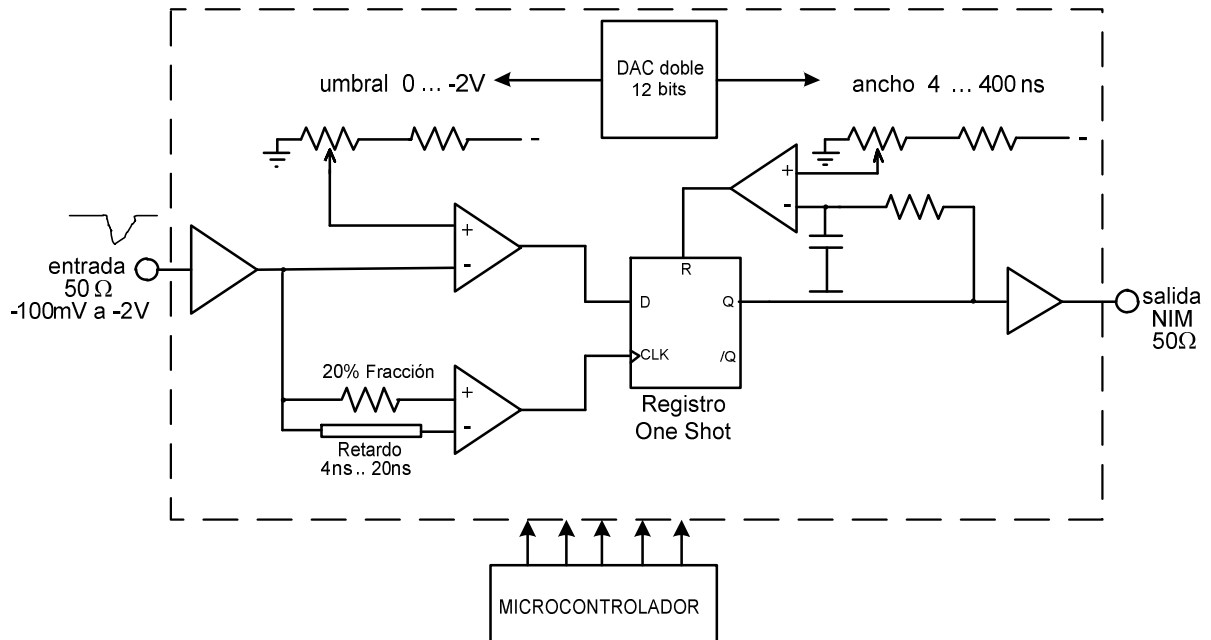


Figura 4.5. Diagrama del CFD.

Se compone de una etapa de entrada de adaptación de señal. A continuación, la señal de entrada se bifurca en dos caminos. Por un lado, tenemos un comparador por flanco cuya finalidad es la de detectar el pulso de entrada que supera un umbral preestablecido. Por otro lado, la señal se atenúa con una fracción constante y al mismo tiempo se retrasa a través de una línea de retardo. En lugar de sumar la señal retardada y la fracción de la señal de

entrada, y luego detectar el paso por cero, se ha optado por comparar directamente ambas señales. De esta forma nos ahorramos el circuito sumador. Por tanto, el comparador genera la señal digital cuando la señal de fracción constante pasa por cero provocando una señal de disparo independiente de la amplitud del pulso de entrada.

Para que sea válido el disparo del pulso de entrada se deben producir dos condiciones: por un lado el pulso de entrada debe superar el umbral prefijado en el comparador por flanco (esta condición pone un nivel lógico 1 en la entrada D del registro), y la otra condición es el paso por cero de la señal de fracción constante que nos marca con exactitud el punto de disparo del sistema (esta señal lógica provoca el disparo del biestable de salida, puesto que controla su señal de reloj). El que se cumpla esta doble condición es necesario para evitar falsos disparos cuando la amplitud de la señal es demasiado pequeña como para superar el umbral preestablecido.

Este biestable permanece en este estado (generando el pulso de salida) hasta que es reseteado (patilla R). Por tanto, el circuito de reset define el ancho del pulso de salida. El reset se genera con un circuito RC que a través de una rampa y un comparador generan un reset de anchura variable. La anchura se controla actuando sobre el umbral del comparador.

Al CFD se le ha añadido el mismo sistema de control utilizado para el shaper y que está basado en un microcontrolador. Los parámetros que se pueden ajustar son el punto de disparo y el ancho del pulso de salida, mediante tensiones de polarización generadas mediante un convertidor D/A de 12 bits similar al empleado en el shaper. Por tanto, el control del CFD se puede realizar de forma remota a través de un puerto RS-422 y a través de varios convertidores a formatos RS-485, serie, USB o Ethernet.

Alternativamente, se dispone de un panel de control con pulsadores de selección, un dial y una pantalla de 4 dígitos para realizar el control de forma simultánea. El software será común al módulo shaper, pero durante la fase de calibración se programarán los parámetros singulares de cada equipo. El sistema de control se describe con más detalle en el Capítulo 5.

En los siguientes sub-apartados se detallan en profundidad el diseño y la implementación de cada una de las etapas.

4.2.1 Especificaciones del diseño.

Las principales especificaciones que debe cumplir el discriminador de fracción constante son las siguientes: en primer lugar, el sistema debe aceptar un extenso rango dinámico de la señal de entrada comprendido entre -100mV y -2V. La señal de salida debe ser compatible con el estándar NIM de alta velocidad, y debe generar unos tiempos de subida inferiores a 1ns. El sistema debe ser programable de tal forma que se pueda ajustar el nivel de disparo de la señal de entrada en un rango desde 0 a -2V y la anchura del pulso de salida desde 4ns a 400ns. La resolución del circuito, o sea el *jitter*, debe ser mejor de 500 ps.

4.2.2 Etapa de entrada.

La etapa de entrada tiene como finalidad acondicionar la señal. El acondicionamiento consiste en amplificar y aislar la entrada de las etapas posteriores. El diagrama eléctrico de la etapa de entrada puede verse en la Figura 4.6. La señal de entrada se acopla en continua y se pone a tierra mediante R_1 , una carga de 50Ω que termina el cable de señal. Esta señal se procesa mediante un amplificador operacional de alta frecuencia AD8009. El

amplificador está configurado como amplificador no inversor para distribuir la señal de entrada a los comparadores.

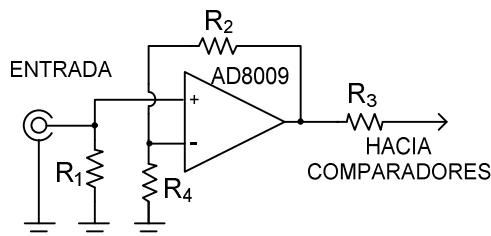


Figura 4.6. Etapa de entrada del discriminador.

La señal amplificada y acondicionada por la etapa de entrada se divide en dos caminos. Por un lado, se lleva hacia un comparador que determina la existencia de la señal de entrada al superar un umbral programado, y por otro lado, se lleva a un comparador que determina el punto de disparo cuando la suma de la señal invertida y retardada más la señal de entrada atenuada cruza la línea de cero voltios, según se mostró en la Figura 4.3.

4.2.3 Comparador por flanco de subida.

El esquema del circuito se muestra en la Figura 4.7. El objetivo del comparador por flanco (CF) de subida es detectar el pulso que supere un cierto umbral programado. Este comparador genera la señal de entrada "D" del biestable que genera el pulso de salida. Se ha utilizado el comparador de alta velocidad ECL de tipo ADCMP564.

Se ha implementado un control programable del umbral de disparo en el rango de 0 a -2V. El umbral de disparo se fija a un valor que esté justo por encima del nivel de ruido de la señal de entrada, de forma que cuando aparezca cualquier pulso que se encuentre por encima del nivel de ruido, sea detectado y el circuito genere un pulso de salida.

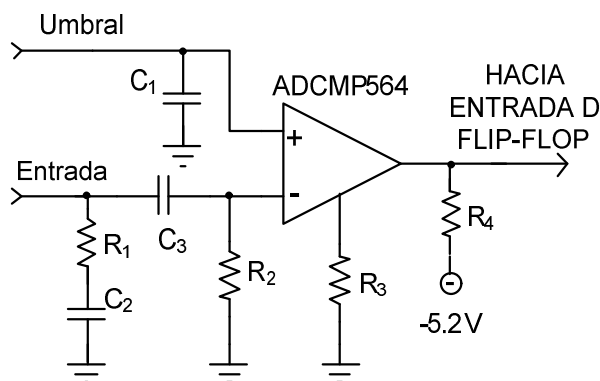


Figura 4.7. Comparador por flanco de subida (CF).

La tensión de umbral programada se coloca en la entrada positiva del comparador ADCMP564 y es filtrada por el condensador C_1 . El bloque de equalización, formado por la conexión en serie de R_1 y C_2 , evita la posibilidad de que el amplificador AD8009 de la etapa anterior produzca una señal inestable e incluso que pueda entrar en oscilación al presentar el circuito una carga capacitiva a la salida del amplificador. El condensador C_3 acopla en AC la señal de entrada que se carga en R_2 . El comparador dispone en su interior de un circuito que permite añadir histéresis para evitar múltiples disparos ante señales con ruido. Para programar el nivel de histéresis se dispone de la resistencia R_3 tal como detalla la hoja de características del componente. La resistencia R_4 carga la salida en emisor abierto del dispositivo de lógica ECL hacia la tensión estándar de estos dispositivos que es de -5.2V.

4.2.4 Comparador de fracción constante.

El objetivo del comparador de fracción constante (CFC) es generar la señal digital resultado del cruce por cero de la señal de fracción constante generada con la señal retardada y con la señal atenuada como se vio en la Figura 4.3. Esta señal dispara el biestable de salida, al estar conectada a su entrada de reloj. De esta forma cuando se dan las dos premisas: (1) el pulso de entrada supera el

umbral programado y (2) la señal de fracción constante pasa por cero, se genera el pulso de salida.

El esquema del circuito se muestra en la Figura 4.8. La señal de entrada se acopla en AC a través de C_1 y se atenúa por un factor f por el divisor R_1 y R_2 . Aunque esta fracción es programable, su valor nominal se ha fijado en 0.2. Esta señal atenuada se compara con una señal retardada un determinado tiempo que es programable, y cuyo valor óptimo se dedujo en la ecuación (4.5). Esta comparación es equivalente a la suma de ambas señales y a la detección de su paso por cero, ahorrándonos de esta forma un sumador de tensión. Se ha utilizado el comparador ADCMP564 ya explicado en el apartado anterior, donde las resistencias R_4 y R_5 tienen el significado ya comentado. El comparador genera la señal de disparo del biestable tipo D de lógica ECL del discriminador de fracción constante.

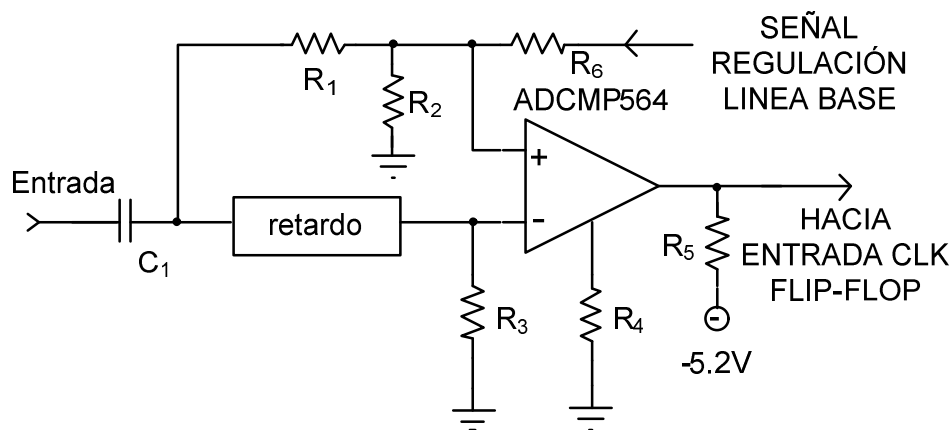


Figura 4.8. Comparador de fracción constante. Detecta el paso por cero y dispara el registro ECL de generación de pulso.

A través de la resistencia R_6 se introduce una señal continua que restaura la línea de base perdida por el acople en AC que se ha realizado mediante C_1 . Esta señal de regulación se genera a partir de la medida de la tasa de llegada de eventos, pues la línea de base será proporcional a ésta.

4.2.5 Biestable D de generación del pulso de salida.

En la Figura 4.10 puede verse el biestable tipo D que genera el pulso de salida de ancho programable. El biestable es de tecnología ECL, ya que esta tecnología de lógica digital es muy rápida y permite que el tiempo de subida de la señal generada sea menor de 1ns, como se refleja en las especificaciones. Un circuito de reset pone a cero el biestable permitiendo programar el ancho del pulso de salida.

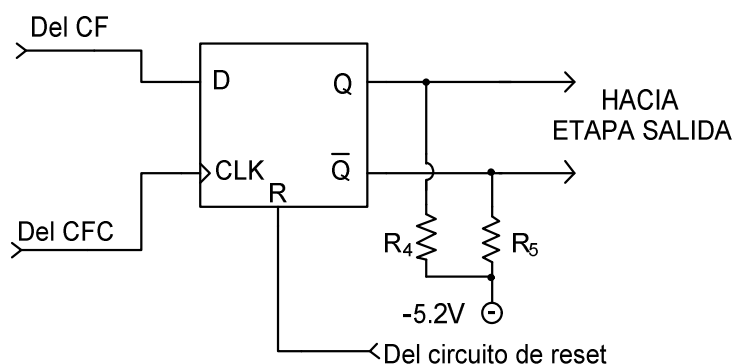


Figura 4.9. Biestable ECL de generación de pulso de anchura programable.

La salida del comparador de la etapa de entrada dispara el biestable de tipo ECL a través de su entrada de reloj. La entrada "D" proviene del comparador de umbral. De esta forma, la salida del biestable sólo se activa cuando se produce en secuencia, primero la señal del comparador de umbral, y después la señal de disparo independiente de la amplitud (señal de fracción constante). De esta forma, prevenimos falsos disparos cuando la amplitud de la señal es demasiado pequeña para superar el umbral programado.

El circuito funciona de forma que sucesivos disparos de señales con distinta amplitud se producen con el mismo retraso. Una vez generado el pulso de salida, se garantiza que el biestable se resetea pasado un tiempo, quedando preparado para la detección de un nuevo pulso de entrada. El tiempo que tarda

el biestable en resetearse es programable y define el ancho del pulso de salida. Las resistencias R_4 y R_5 forman las resistencias de carga de las salidas ECL hacia la tensión estándar de estos dispositivos que es de -5.2V.

4.2.6 Circuito de reset del biestable ECL.

El objetivo del circuito de reset es garantizar que la salida vuelve al estado de reposo pasado un tiempo, y el circuito queda listo para un nuevo disparo. El circuito de reset del biestable se muestra en la Figura 4.10.

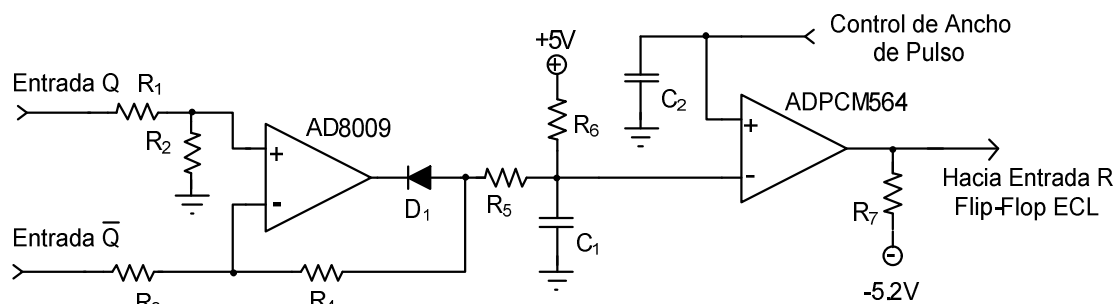


Figura 4.10. Circuito que genera el reset del biestable a partir de la señal de salida.

El circuito genera pulsos de salida con un ancho programable. Esto se puede hacer cambiando el tiempo que tarda en resetearse el biestable.

El circuito entorno al AD8009 junto con R_1 , R_2 , R_3 y R_4 convierte una señal diferencial ECL proveniente del biestable en un pulso de descarga del condensador C_1 a través de R_5 y del diodo ultrarrápido D_1 , de tipo BAV79. De esta forma, una vez disparado el biestable, C_1 se descarga inmediatamente a través de R_5 . Luego se carga lentamente a través de R_6 . La rampa de subida que se produce en la carga de C_1 se aprovecha para resetear el biestable en el momento adecuado que la tensión en el condensador supera la señal de entrada del comparador ADPCM564. Cuando la señal en rampa supera el umbral fijado

en el comparador, la salida del comparador resetea el biestable y se genera el flanco de bajada del pulso de salida, definiendo así su ancho.

4.2.7 Convertidor de lógica ECL a salida NIM.

El circuito se puede observar en la Figura 4.11.

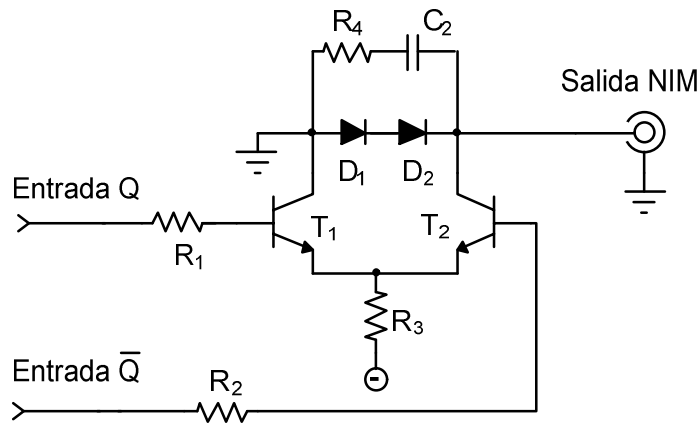


Figura 4.11. Etapa de salida del discriminador.

La señal de salida del comparador que genera el pulso de salida del discriminador de fracción constante tiene lógica ECL, y no es adecuada para su utilización posterior. Se hace necesario disponer de un circuito que transforme la salida ECL a NIM. La salida tipo NIM es muy similar a ECL, pero no se referencia respecto a una tensión negativa como la ECL, sino respecto a 0V. Un par diferencial es suficiente para generar una señal negativa referenciada a 0V. La resistencia R_3 polariza el amplificador diferencial. El bloque formado por la conexión en serie de R_4 y C_2 equalizan el pulso de salida y los diodos D_1 y D_2 protegen la salida de sobretensiones negativas.

4.2.8 Circuito de restauración de línea de base del comparador de fracción constante.

Debido al circuito del comparador de fracción constante que se encuentra acoplado en AC a través del condensador C_1 de la Figura 4.8, cuando varía la tasa de llegada de pulsos, el nivel DC a la entrada del comparador también varía. Esto produce un aumento del tiempo de dispersión, “walk time” adicional que se puede compensar reajustando el valor DC externamente. Esto no es más que una restauración de línea de base similar a la realizada en el capítulo dedicado al conformador de pulso.

En este caso, debido a la pequeña duración del pulso y a la gran precisión necesaria, no es posible usar un circuito de control similar al estudiado en el capítulo del conformador de pulso. En lugar de este circuito, vamos a disponer de un circuito que detecta la tasa de llegada de eventos. Como la desviación de la línea de base es proporcional a la tasa de llegada de eventos, podemos medirla y transformarla en una tensión continua y con esta tensión controlar el desplazamiento DC de la señal que llega al comparador de fracción constante.

La constante de tiempo del circuito restaurador es del orden de los segundos. La Figura 4.12 muestra el circuito que se encarga de este control.

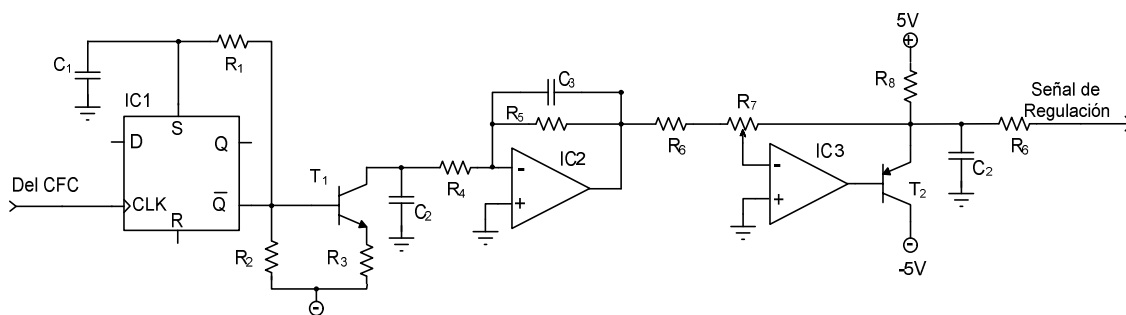


Figura 4.12. Etapa restauración de línea base para el discriminador de fracción constante.

El circuito consta de una etapa de entrada que se encarga de transformar los pulsos en una tensión continua proporcional a la frecuencia de llegada de estos. IC_1 y T_1 forman un multivibrador monoestable que genera una tensión continua proporcional a la frecuencia de la señal de entrada. Los componentes R_1 y C_1 forman el bloque de reset del multivibrador.

A continuación, esta tensión filtrada y amplificada por IC_3 se introduce en el transistor T_2 que inyecta una tensión negativa en la entrada al comparador de fracción constante a través de R_6 y con ello modifica el punto de disparo del comparador. El circuito integrado IC_3 amplifica la señal continua generada por el convertidor frecuencia-tensión. Las resistencias R_4 y R_5 fijan el factor de conversión que actuará en mayor o menor medida sobre la tensión continua que se inyecta y por tanto, sobre las variaciones de la línea de base que se produzcan. La resistencia R_7 permite fijar el valor DC de la línea de base en el punto óptimo de funcionamiento del comparador.

4.3 Resultados experimentales.

Se han realizado varios prototipos que han ido mejorando el comportamiento del circuito hasta cumplir con las especificaciones establecidas. En un primer prototipo se emplearon cables como elementos de retardo en lugar de componentes de retardo convencionales basados en líneas microstrip sobre sustratos cerámicos mucho más compactos y fiables. Además, la PCB disponía de su propia fuente de alimentación.

En el prototipo final, que se puede observar en la Figura 4.13. Se emplearon líneas de retardo microstrip de ELMEC, se eliminó de la placa la fuente de alimentación (se emplea fuente estándar NIM) y se añadió un

microcontrolador para el control remoto de los parámetros mediante convertidores Digital/Analógico.

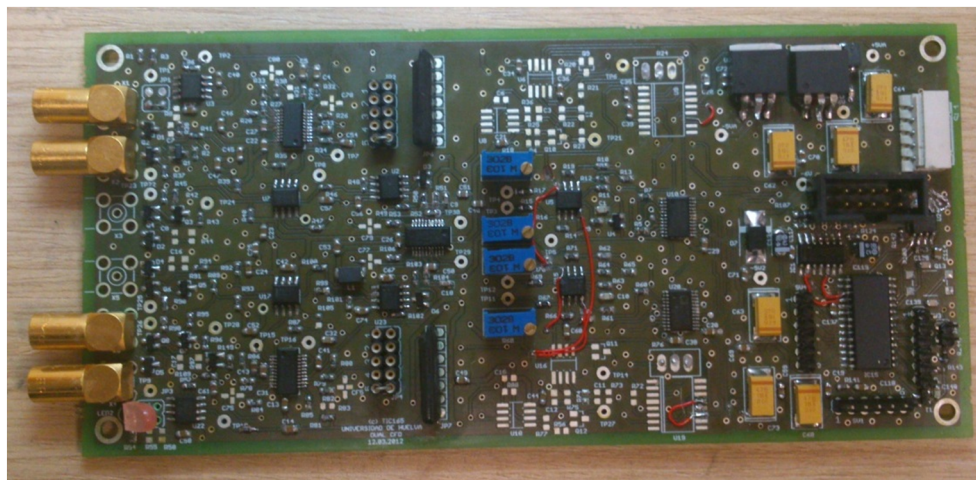


Figura 4.13. Fotografía del prototipo final que dispone de dos CFD y control por microprocesador.

En este prototipo se emplearon técnicas de realización de layout para minimizar la impedancia del plano de masa empleando una placa de circuito impreso multicapa con extensos planos de masa y ecualizando las líneas mediante pistas de cobre para mantener la impedancia controlada. El prototipo final dispone de dos CFD para facilitar la realización de experimentos de medida del tiempo de vuelo de las partículas procedentes de los detectores.

El prototipo final ha sido testeado mediante la aplicación de pulsos estrechos negativos procedentes de un generador de ondas que sería el equivalente al detector en un sistema NIM, utilizándose el osciloscopio DSO9000 para visualizar los resultados.

La configuración de test se puede observar en la Figura 4.14. El generador Agilent 81160A se configuró para que genere pulsos estándar negativos con un ancho de unos 20ns y un tiempo de subida de 1ns. Las medidas se realizan con

pulsos de diversa amplitud desde 100mV a 2V. La salida SYNC del generador de pulsos se conecta al osciloscopio como fuente de disparo para sincronizar los pulsos en la pantalla. Mediremos el tiempo de retardo que introduce el circuito al procesar el pulso de entrada. Tomaremos sucesivas medidas, la media de estas medidas será *walk time* y dependerá fundamentalmente de la amplitud de la señal de entrada. La desviación típica de estas medidas está relacionada con el *jitter* que introduzca el CFD.

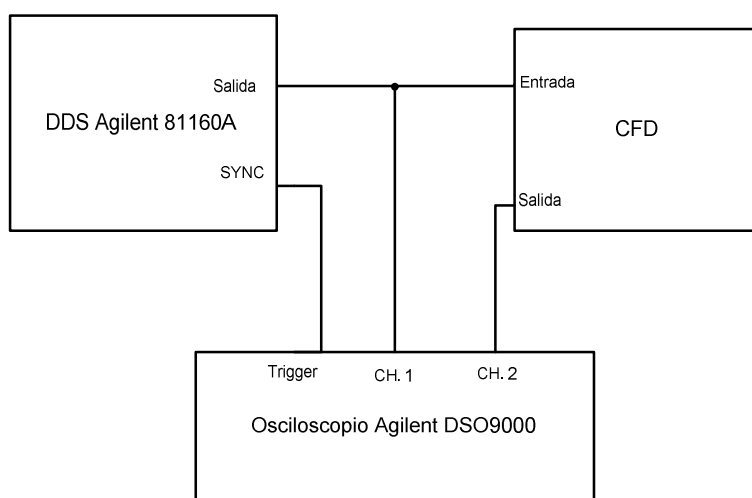


Figura 4.14. Diagrama de configuración de test.

El discriminador de fracción constante se configuró para que tuviese un umbral de 100mV, siendo el ruido medido a la entrada de unos 10mV. El sistema implementado ha sido alimentación con tensiones de $\pm 6V$.

En la Figura 4.15 se aprecia el pulso de entrada y el pulso atenuado y retardado. En la figura el pulso de entrada es amplificado por la etapa de entrada. Por tanto, el pulso atenuado tiene una amplitud similar al pulso de entrada y el pulso retardado tiene una amplitud unas cinco veces mayor que el pulso de entrada.

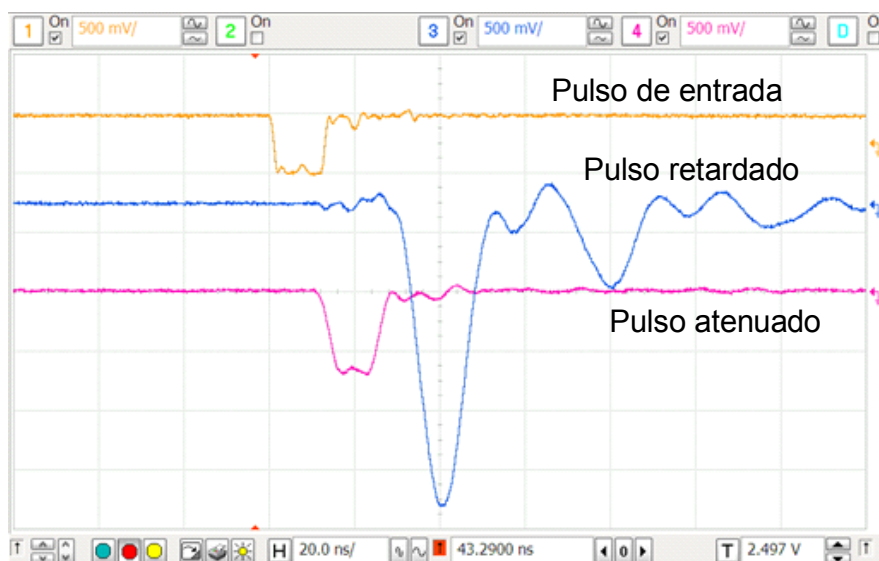


Figura 4.15. Señal de entrada y señales atenuada y retardada.

En la Figura 4.16 se aprecia la señal de fracción constante respecto a la señal de entrada. Como podemos observar, esta señal es muy similar a la señal estudiada en la Figura 4.3.

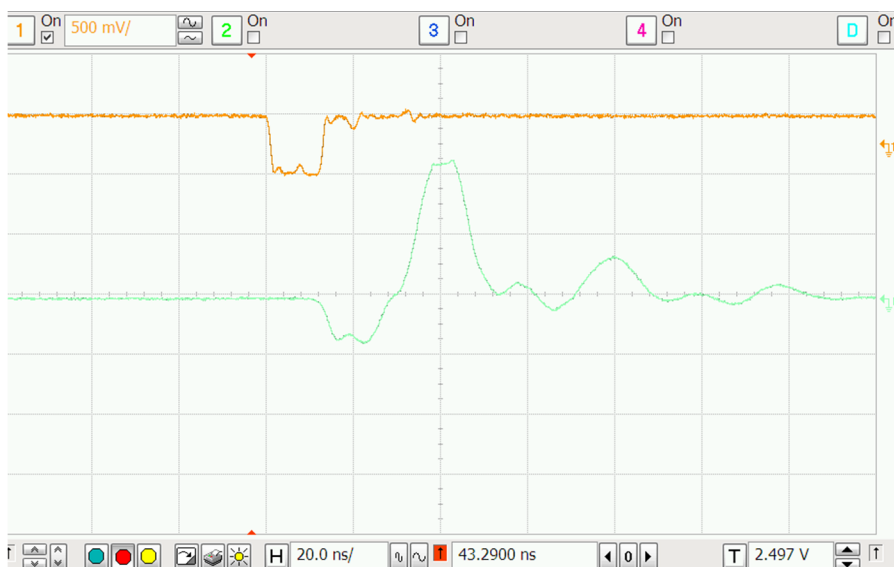


Figura 4.16. Señal de fracción constante respecto a la señal de entrada.

En la Figura 4.17 se aprecia la señal de salida para varias configuraciones del control de ancho de pulso de salida.

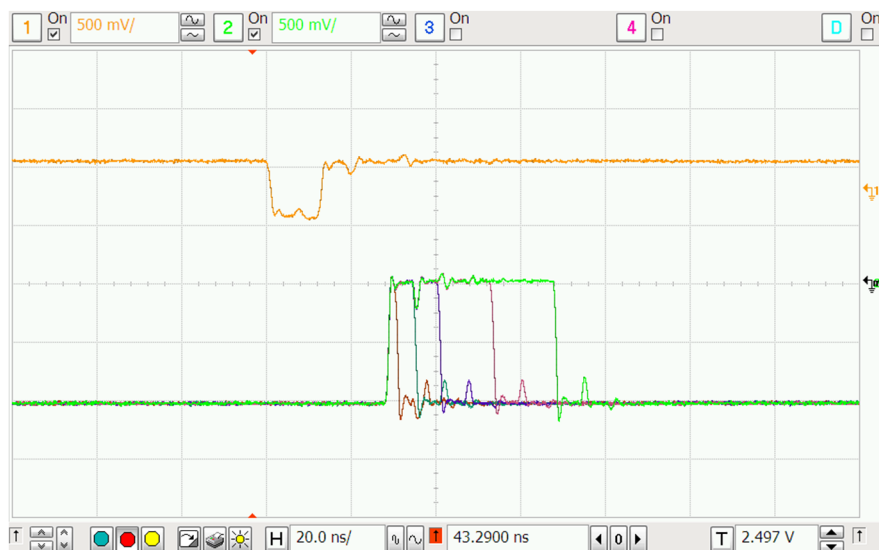


Figura 4.17. Señal de salida para diferentes configuraciones del control de ancho de pulso de salida.

En la Figura 4.18 se puede apreciar el *walk time* cuando se le aplicaron dos señales de entrada que cubrían gran parte del rango dinámico del circuito, en concreto, se usaron amplitudes de -200 mV y -2V. Se puede apreciar que el circuito mantiene un *walk time* de unos 134 picosegundos en estas condiciones.

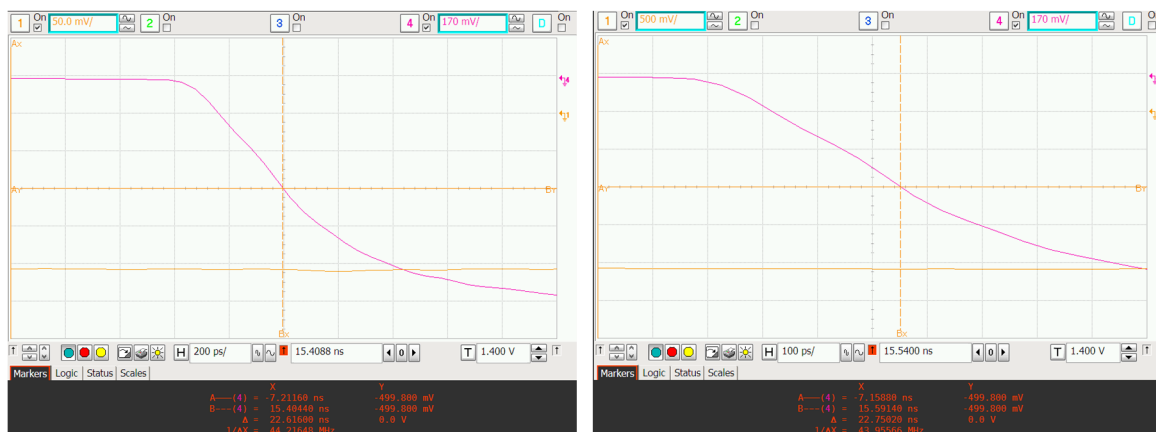


Figura 4.18. “Walk time” para señales de entrada que cubren el rango dinámico del circuito.

También se ha evaluado la variación de *walk time* y de *jitter* para distintas amplitudes de la entrada. Los datos se han procesado con Matlab y se muestran en la Figura 4.19 y Figura 4.20. Se puede apreciar que el circuito mantiene un “*walk time*” de media con unas variaciones menores de ± 80 picosegundos. Esta

medida es coherente con la tomada de forma manual en la Figura 4.18, aunque no se corresponde de forma exacta debido a las tolerancias de la medida (muestreo periódico de 50ps e interpolación del osciloscopio) y el ruido, lo que impide fijar los tiempos con precisión. Debido a la imprecisión en la toma manual de tiempos en el osciloscopio, consideramos más fiable la medida automatizada.

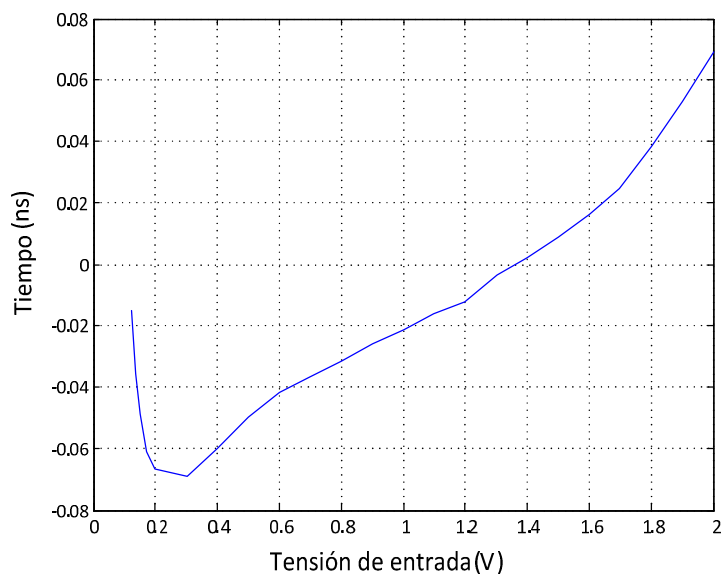


Figura 4.19. Evolución del "walk time" en función de la amplitud de la señal de entrada.

La distribución de probabilidad del *jitter* es una campana de gauss. El *jitter* se expresa como el ancho de la distribución a mitad de altura (*Full width at half maximum, FWHM*). Los estadísticos se obtienen repitiendo la medida unas 1000 veces para cada tensión de entrada. Esta medida es aproximadamente 2.355 veces la desviación típica de los datos estadísticos.

Los resultados se muestran en la Figura 4.20, donde se aprecia que el *jitter* se mantiene siempre por debajo de 120ps. También se observa que para tensiones de entrada relativamente pequeñas (por debajo de 500mV), la parte del circuito de fracción constante no es operativa, y el circuito se comporta

como un simple comparador de nivel de la señal y por tanto, el *jitter* es mucho mayor.

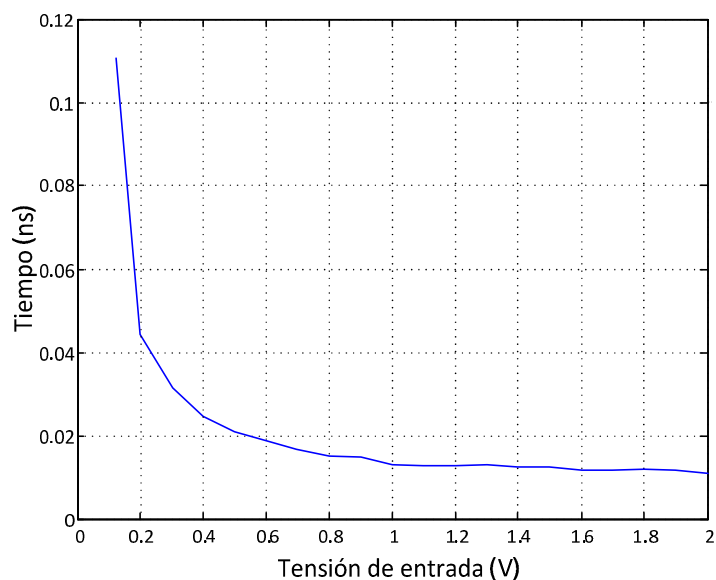


Figura 4.20. Evolución del *jitter* (FWHM) en función de la amplitud de la señal de entrada.

Los principales parámetros que definen el funcionamiento del discriminador de fracción constante se recogen en la siguiente tabla:

Parámetro	Valor
Impedancia de entrada/salida	50 Ω
Tensiones de entrada	-100mV a -2V
Tiempo de subida de salida	< 1ns
Ancho de pulso de salida	4 a 400ns
Amplitud de salida	estándar NIM (~1V)
Nivel disparo de entrada	0 a -2V
<i>Walk Time</i>	± 80 ps
<i>Jitter</i> (FWHM)	<120ps
V_{DD}	± 6 V
Consumo de potencia	5 W

Tabla 4.1. Parámetros de funcionamiento del CFD.

Capítulo 5

Sistema de control remoto de parámetros lentos

5.1 Introducción.

La circuitería analógica diseñada en los capítulos precedentes, que tiene como objetivo el procesamiento de las señales provenientes de detectores de radiación, necesita un control de sus principales parámetros de funcionamiento para su adaptabilidad a diferentes experimentos y entornos. En este tipo de aplicaciones de física nuclear, este control se conoce como "control de parámetros lentos". Los bloques analógicos comerciales de la cadena de instrumentación disponen de un control manual de dichos parámetros. En este capítulo se expone el sistema desarrollado para facilitar el control remoto y en tiempo real de los parámetros del shaper diseñado en el Capítulo 3 y del discriminador de fracción constante (CFD) del Capítulo 4. Este aspecto es

importante, ya que, en ocasiones, no es posible controlar manualmente estos módulos por encontrarse en una sala con niveles de radiación que eventualmente pueden ser peligrosos para el ser humano.

El sistema de control desarrollado se ha preferido realizarlo mediante el empleo de elementos analógicos que tienen la posibilidad de controlarse de forma digital. Estos elementos son, entre otros: potenciómetros digitales, multiplexores analógicos y convertidores digital/analógico (D/A), todos ellos gobernados por un microcontrolador. Mediante técnicas mixtas se pueden programar la mayoría de los controles analógicos de los bloques analógicos diseñados previamente. De este modo, se emplean resistencias variables basadas en transistores JFET polarizados con una tensión variable proveniente de un convertidor D/A con control digital, multiplexores analógicos para la selección del factor de amplificación en el caso del shaper y potenciómetros digitales para realizar el control fino de ganancia en amplificadores. También se utilizan comparadores de tensión alimentados por una tensión generada mediante un convertidor D/A, de forma que se controla el umbral de disparo del convertidor mediante un control digital.

Para que este control digital sea correcto y eficiente se ha empleado un software para realizar la calibración de los controles de forma directa empleando valores programables en las unidades del sistema final. Para que los valores fijados resulten correctos, se han empleado algoritmos de calibración lineal basados en tablas, en los que para cada valor se ha optimizado el número de puntos y los puntos capturados.

El sistema de control dispone de una memoria no volátil que almacena los siguientes elementos: los controles disponibles por el usuario, la forma de realizarse el control a bajo nivel, el valor actual, el máximo y el mínimo y la

tabla de calibración para ese control. Esto tiene como principal ventaja que el programa ejecutado en el microcontrolador puede ser el mismo para todos los bloques analógicos de la cadena de instrumentación que se diseñen. Un diagrama del sistema se puede observar en la Figura 5.1.

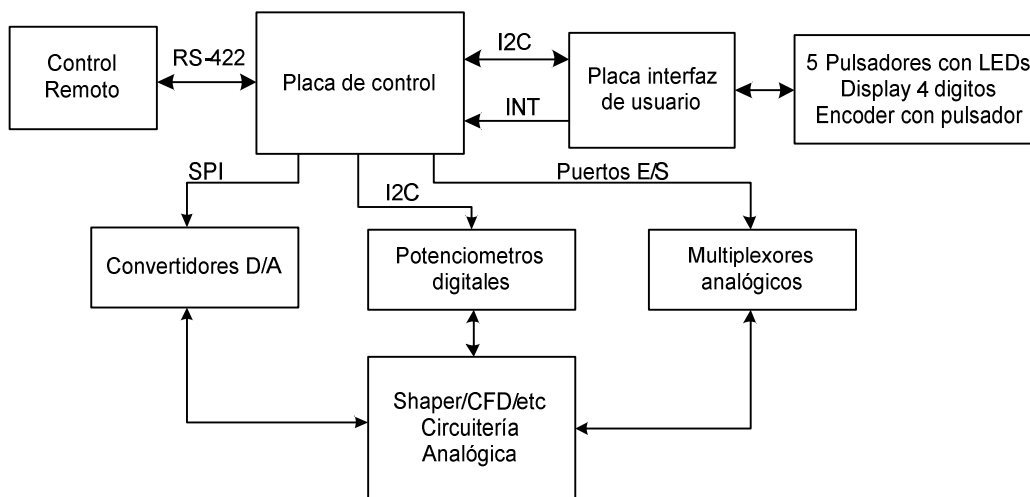


Figura 5.1. Integración del sistema de control de parámetros del usuario.

El cambio interactivo de los parámetros del equipo se realiza, o bien de forma remota mediante una interfaz serie RS-422, o bien mediante un panel de interfaz de usuario que se conecta a la placa principal mediante bus I2C.

El panel de control dispone de un display numérico de cuatro cifras, cinco pulsadores con diodos led y un mando rotativo implementado mediante un encoder con pulsador. Este panel permite visualizar el valor de cada variable (hasta cuatro de ellas), modificar su valor y bloquear el teclado para que no se modifiquen las variables.

5.1.1 Objetivos del sistema de control.

Los objetivos del sistema son los siguientes:

- Control digital de los siguientes parámetros del shaper: compensación polo-cero, ganancia gruesa y fina, tiempo de shaping, nivel de disparo del restaurador de la línea de base y offset de salida.
- Control digital de los siguientes parámetros del discriminador de fracción constante: punto de disparo y el ancho del pulso de salida.
- Gestión fácil de parámetros por parte del usuario.
- Posibilidad de bloqueo del panel para evitar modificaciones indeseadas.
- Acceso simultáneo al panel y al control remoto de parámetros vía interface serie.
- Presentación del valor actual del parámetro en pantalla.
- Manipulación simple de valores reales de parámetros en el equipo: ganancia, nivel de umbral, ancho de pulso, etc.
- Una única versión del firmware, de forma que mediante un proceso de calibración se pueda disponer de una personalización por equipo grabada en una memoria no volátil.

5.1.2 Requisitos de la implementación.

Para llevar a cabo los objetivos es necesario disponer de dos sistemas microcontroladores. Uno residirá en la misma placa del shaper o CFD y se encargará del control de parámetros. Para ello, dispone de una interface serie y de una memoria no volátil para almacenamiento de personalidad y tablas de

calibración. Por otro lado, necesitamos un panel de interfaz de usuario con pulsadores, display y encoder. En este panel se encontrará un segundo microcontrolador con un firmware distinto, que se encargará de aceptar las peticiones del usuario y mostrar los valores de los parámetros activos, como muestra la Figura 5.1. La comunicación entre el ambos microcontroladores se lleva a cabo mediante el bus I2C.

Al ser el bus I2C un bus maestro-esclavo y disponer ya de un control maestro desde la placa de control, no se podrían realizar peticiones desde la interfaz de usuario. Para resolver este inconveniente, se utiliza una señal de interrupción adicional cuya finalidad es notificar cuándo se produce una petición del usuario al microcontrolador. Entonces, el microcontrolador inicia una petición al bus I2C, donde el esclavo enviará los valores de los parámetros que se hayan modificado.

5.2 Implementación del hardware.

El hardware de ambas placas se ha realizado empleando componentes convencionales, y en concreto, microcontroladores de la empresa Microchip de la serie PIC16. Estos microcontroladores son sencillos, eficientes y permiten una fácil ampliación de memoria en caso de que sea necesario para los requisitos del sistema.

Se ha dispuesto de una interface ICSP en ambas placas para realizar la programación mediante un programador directamente en el sistema. En la fase de depuración resulta bastante útil disponer de esta interface. Además, el empleo de un software cargador o “bootloader”, permite una reprogramación muy rápida a través de la interfaz serie. Para ello, se ha dispuesto de una línea

adicional para provocar el “reset” del microcontrolador, y de esa forma, realizar la carga del programa de forma remota.

5.2.1 Placa de control.

En la Figura 5.2 se muestra el esquema genérico del microcontrolador principal del sistema que está ubicado en la denominada placa de control. Se ha utilizado el PIC16F886 de Microchip de la familia PIC16 de microcontroladores de 8 bits del fabricante. Este es el diseño que se emplea en todos los bloques analógicos donde los puertos de salida, el bus SPI o bien el bus I2C se conectan a los periféricos que realizan el control de bajo nivel de los parámetros analógicos necesarios.

El almacenamiento de las tablas de calibración se realiza en una memoria I2C externa U27 de tipo 24C32, aunque se podría utilizar un modelo de mayor tamaño. El bus I2C, junto con una señal de interrupción conectada a la patilla RB0 del micro se proporciona a través del conector SL2 que va hacia el panel de usuario. Para la comunicación serie RS-422 se usa un convertidor de niveles IC3 de tipo MAX489 controlado por la señal del puerto RB2. Esta interface dispone de un bit opcional para resetear el micro y poder realizar la carga de programas de forma remota. Este bit se puede usar de forma opcional colocando un puente en el conector JP9.

Por último, las señales DCK, DEN, DIN y DOUT forman el bus SPI que se conecta a un convertidor D/A de 12 bits de precisión empleado para controlar los valores analógicos.

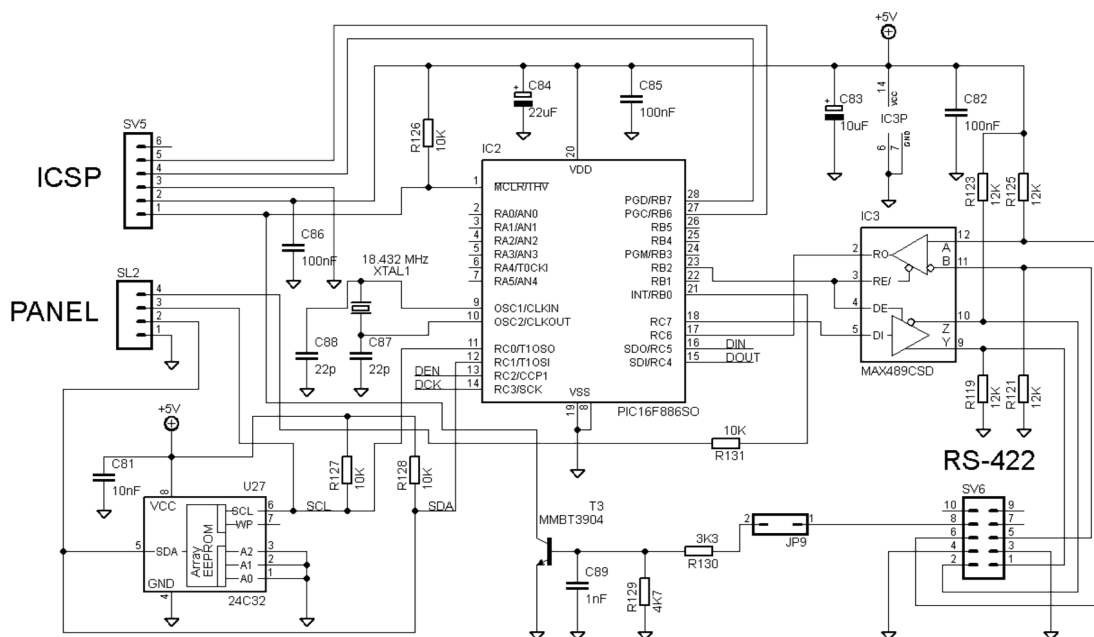


Figura 5.2. Diseño del microcontrolador de control.

En la Figura 5.3 se muestra el control de las señales analógicas realizado mediante el convertidor D/A U26 de tipo AD5722. Este convertidor necesita una fuente de tensión de referencia externa de 2.048V que se proporciona mediante U1, de tipo REF3020. La señal de salida del convertidor se adapta a la tensión necesaria de salida mediante el amplificador operacional U25 de tipo OP295 y se envía a los elementos analógicos que actúan sobre el circuito.

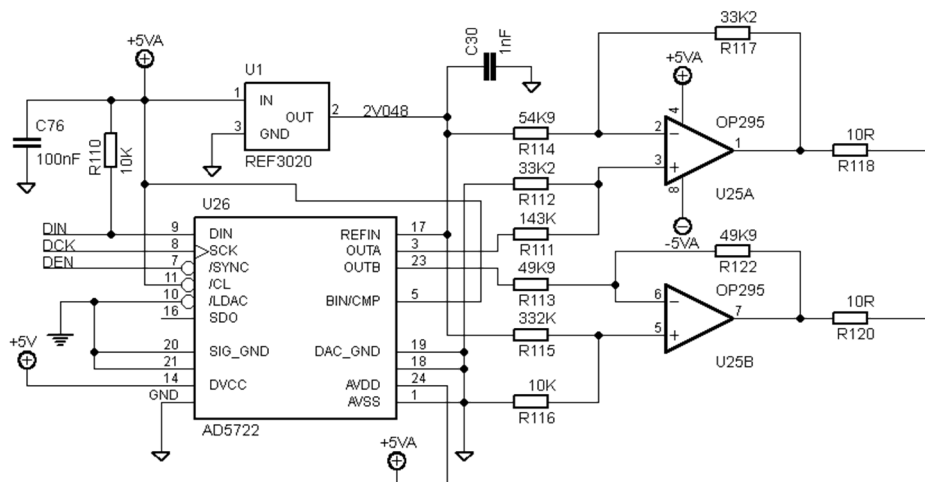


Figura 5.3. Generador de tensión con control digital mediante conversión D/A.

5.2.2 Placa interfaz de usuario.

La placa de interfaz de usuario se conecta mediante bus I2C y una línea de interrupción con la placa de control. Debido a la gran cantidad de elementos que dispone, el microcontrolador no tiene suficientes puertos de control, y se hace necesario el empleo de expansores de E/S que se han realizado mediante registros de desplazamiento.

La placa dispone de varios elementos interactivos con el usuario:

- Display de cuatro dígitos de tipo LED de 7 segmentos: el control de este display se realizará mediante multiplexado.
- 5 Pulsadores: el control se realizará mediante expansión de E/S y un registro de desplazamiento.
- 1 control giratorio con pulsador: se realizará mediante un encoder con las señales en fase y en cuadratura muestreadas mediante el empleo de un registro de desplazamiento como expansor de E/S.
- 5 diodos leds bicolors integrados en los pulsadores: se controlarán mediante un expansor de E/S realizado a través de un registro de desplazamiento.

En la Figura 5.4 se muestra el diagrama de bloques de la placa siguiendo los requisitos comentados.

Los registros de desplazamiento #1 y #2 se conectan en serie, de forma que se emplean las mismas señales de control para los dos. Los pulsadores disponen de dos diodos leds, uno rojo y otro verde, que se controlan de forma multiplexada aprovechando dos líneas del registro de desplazamiento #1. Este registro también se encarga de encender cada display de forma multiplexada mediante transistores, por lo que el mismo algoritmo que multiplexa los

displays multiplexa los leds del panel. Los segmentos del display están todos conectados entre sí y se activan directamente mediante puertos de E/S del microcontrolador.

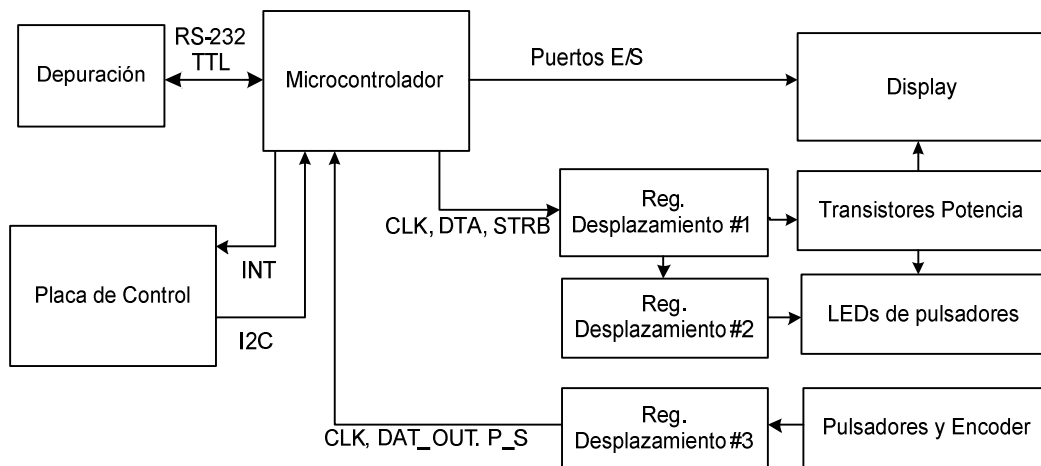


Figura 5.4. Integración del sistema de control de parámetros del usuario.

El registro de desplazamiento #3 se emplea en sentido contrario a los dos anteriores, y nos permite comprobar el estado de los pulsadores y encoder. Esta comprobación se realiza de forma periódica mediante un mecanismo de “polling” que se implementará en software con una interrupción periódica del temporizador.

La comunicación con la placa de control se efectúa mediante el bus I2C añadiendo una señal desde el esclavo al maestro, que informa al maestro que se ha producido un cambio en los parámetros del panel de control. La placa de interfaz de usuario dispone de una interface serie adicional de tipo RS-232 a niveles de tensión TTL que se ha empleado para fines de depuración del firmware.

En la Figura 5.5 se muestra el esquema eléctrico del microcontrolador del panel de la interfaz de usuario.

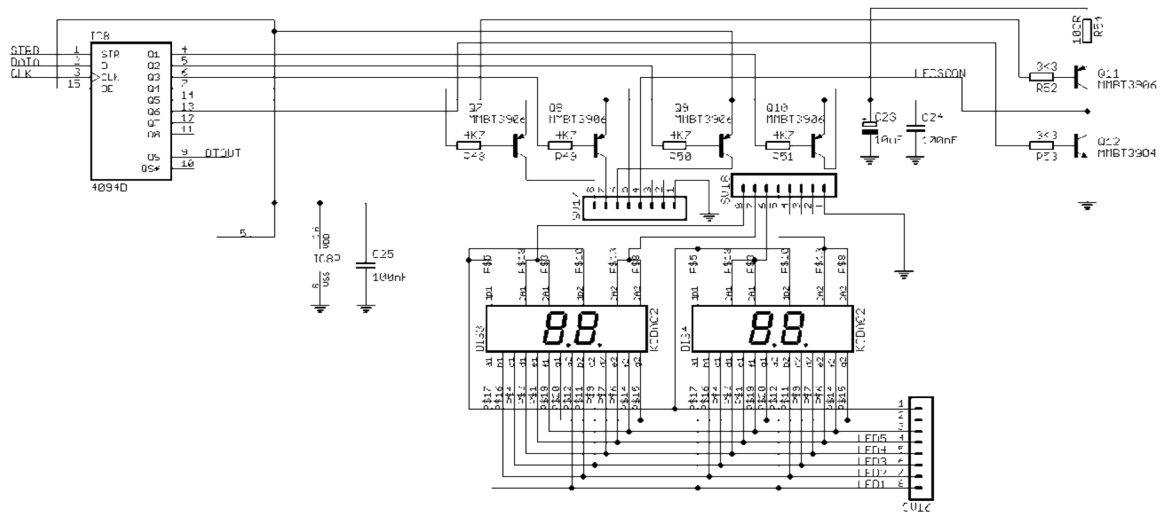


Figura 5.6. Control del display de cuatro dígitos.

Cada pareja de leds rojo y verde perteneciente a cada pulsador está conectada en paralelo, por lo que para encender cada led es necesario cambiar el nivel lógico en cada patilla mediante el registro de desplazamiento #2 como muestra la Figura 5.7.

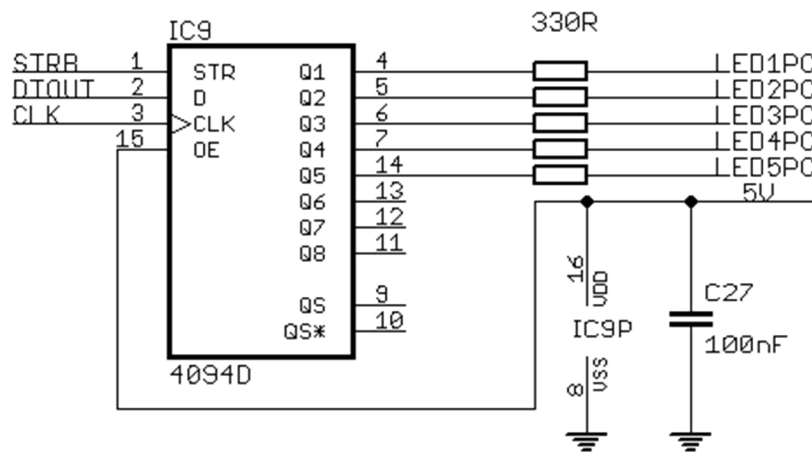


Figura 5.7. Encendido de los leds de los pulsadores mediante el registro de desplazamiento #2.

En la Figura 5.8 se muestra el esquema de conexión de los pulsadores al registro de desplazamiento #3 CD4014. Este registro realiza la lectura del estado del encoder y de los pulsadores. La señal *P_S* permite poner a cero el registro y comenzar en orden la lectura de las entradas.

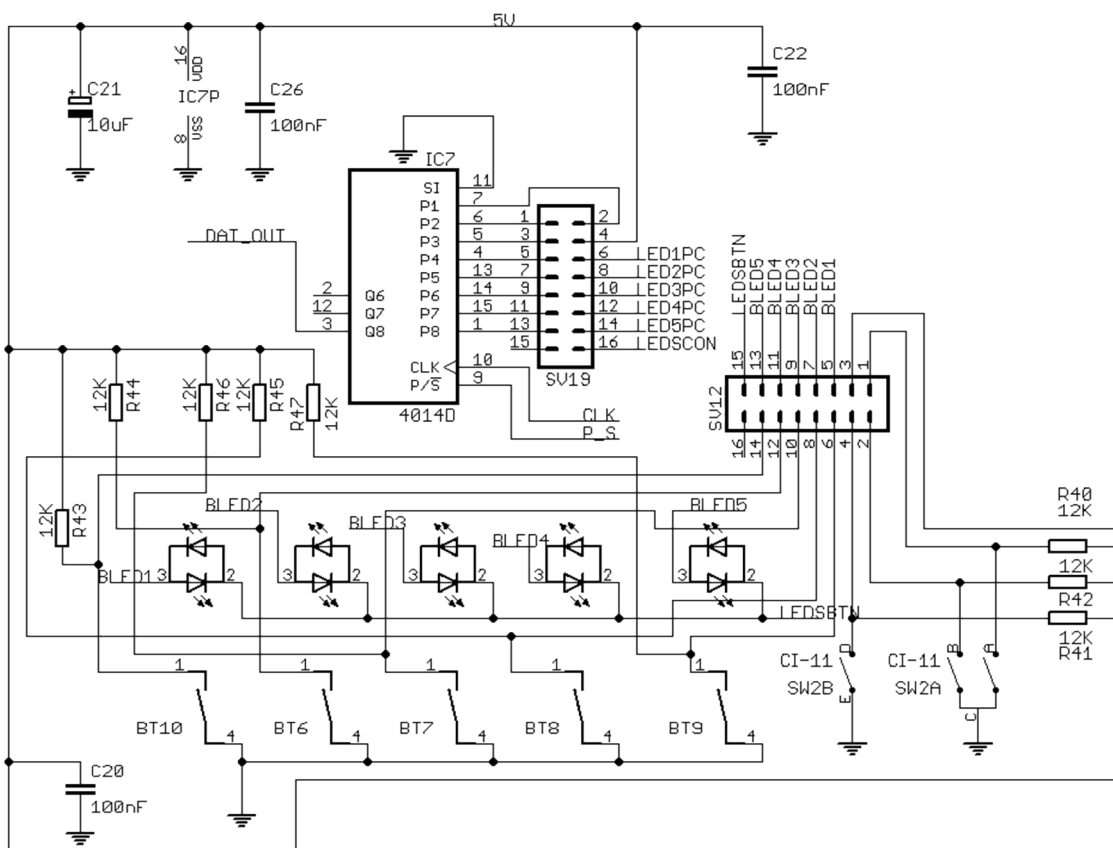
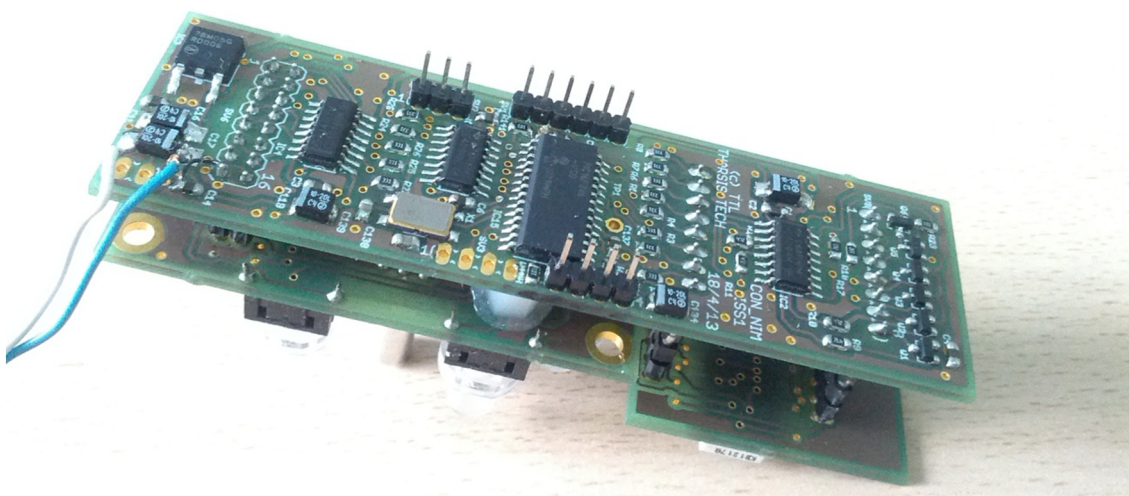


Figura 5.8. Lectura de pulsadores y encoder mediante registro de desplazamiento.

En la Figura 5.9 se muestra una fotografía de la placa del sistema de control.



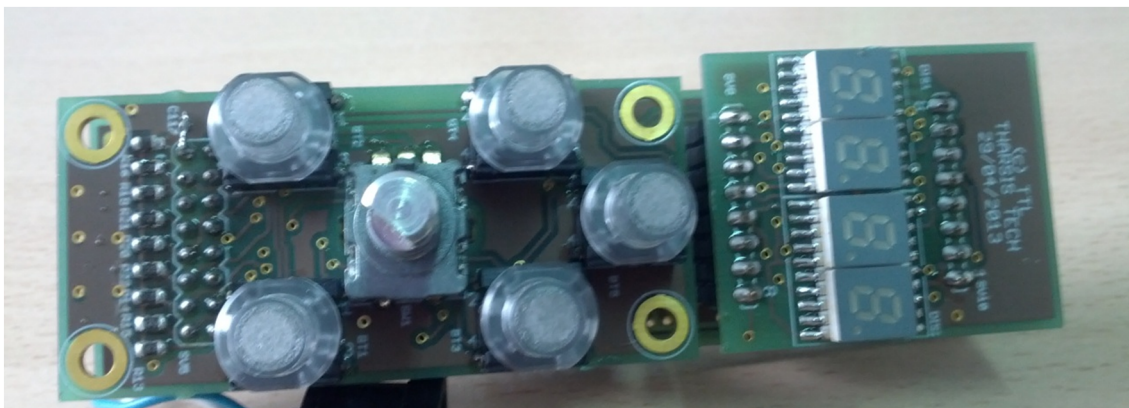


Figura 5.9. Fotografía de la placa del sistema de control.

5.3 Descripción del software.

Las tareas de la placa de control residente en el bloque analógico, consisten principalmente en la transferencia y la transformación de datos, que de forma detallada son:

- Gestiona la transferencia de datos hacia la placa del display, de donde recibe los valores introducidos por el usuario.
- Maneja la transferencia de datos hacia la memoria EEPROM externa, donde se guardan los valores de calibración y otros datos que tienen que ser no volátiles.
- Transforma los valores introducidos por el usuario en entradas adecuadas para los convertidores digital-analógicos, mediante un proceso de interpolación que emplea los puntos de calibración guardados.
- Gestiona un intérprete de comandos, que permite realizar distintas acciones sobre la placa de control a través del ordenador de forma remota.

Por otro lado, la placa de interfaz de usuario tiene como propósito interactuar con el usuario que controla los parámetros lentos de los bloques analógicos de la cadena de instrumentación nuclear.

Para ello, debe realizar las siguientes tareas:

- Controla un visualizador de 4 dígitos, cinco pulsadores y un control giratorio. Los pulsadores se utilizarán para seleccionar la variable cuyo valor se mostrará en el display, y sobre la que, una vez seleccionada, se podrá modificar mediante el control giratorio.
- Envía los valores seleccionados por el usuario a la placa de control. En la placa de control serán procesados para ser aplicados a los convertidores digital-analógicos.

En el Anexo2 se trata en profundidad la estructura y los algoritmos desarrollados en el software.

Capítulo 6

Análisis de forma de onda de pulso para identificación de iones pesados

6.1 Introducción

Continuando con los bloques de la cadena de instrumentación que han sido implementados, seguidamente mostraremos el procesamiento digital destinado a la identificación de partículas que inciden sobre el detector, según podemos apreciar en la Figura 6.1. En ella podemos distinguir los elementos que no están involucrados en el procesamiento digital (elementos sombreados) de aquellos necesarios para realizar dicho procesamiento (elementos no sombreados). De estos últimos, en este capítulo nos vamos a centrar en el procesamiento digital para llevar a cabo una de las tareas básicas de los detectores de partículas, el proceso de identificación.

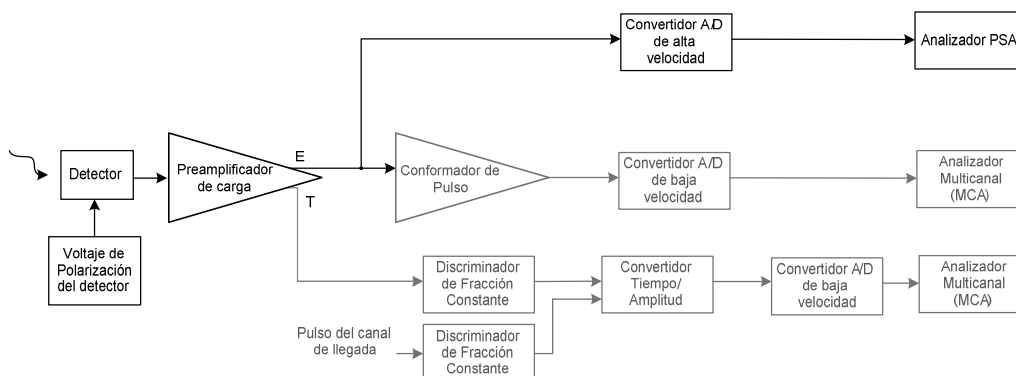


Figura 6.1. Esquema de la cadena de instrumentación considerada.

El principio de funcionamiento de los detectores de radiación de uso común se basa en la conversión de la energía depositada por las partículas que inciden en el detector en una señal eléctrica, como la carga depositada en el detector. La dependencia temporal de la corriente (o carga) (o forma del pulso de carga) es función del número de protones y neutrones (Z , N) de los fragmentos originados en la reacción, principalmente debido a las diferencias en la densidad de portadores creados a lo largo de su camino a través de la mayor parte del detector; mientras que la energía de colisión no afecta en gran medida a dicha dependencia. Por lo tanto, y como los valores Z y N pueden ser utilizados para identificar un tipo de partícula, dicha característica (la forma temporal de la señal de carga) también puede ser usada para llevar a cabo el proceso de identificación. De hecho, la forma del pulso de la señal de carga se convierte en la base de la técnica denominada análisis de la forma del pulso (Pulse Shape Analysis, PSA) desarrolladas para los sistemas de identificación de partículas [Pau94], [Ham04], [Bar09a], [Bar09b] y [Bar09c].

La arquitectura típica de un sistema de adquisición de datos para un detector de partículas se muestra en la Figura 6.1, en el cual el proceso de identificación de partículas mediante PSA sería el siguiente. El detector actúa como un condensador que recibe la carga producida por las partículas que

chocan, hasta que quedan detenidas dentro del material. La técnica de PSA utiliza la distribución temporal de la carga (forma de onda de la carga) para identificar los diferentes tipos de partículas incidentes. Aunque distintos materiales sensibles a la radiación producen amplitudes diferentes, en general, la deposición de carga por unidad de tiempo es pequeña y debe ser amplificada con el fin de registrar la forma del evento físico. Este proceso se realiza mediante la presencia de un amplificador sensible a la carga (previamente diseñado en el Capítulo 2). Seguidamente, la forma de pulso amplificada debe ser digitalizada para su posterior procesamiento digital. Esta digitalización debe ser realizada por un convertidor analógico-digital de alta velocidad, con el objetivo de obtener una reproducción fidedigna de la forma del pulso. Finalmente, se lleva a cabo un procesamiento digital para clasificar y analizar los diversos patrones antes de transferir la información de identificación a la unidad de almacenamiento de datos.

A la vista de lo anteriormente expuesto, el proceso de identificación de la forma de la señal producida por las partículas cargadas en el silicio es en realidad un problema de reconocimiento de patrones. La base de reconocimiento de patrones se ha estudiado ampliamente en los últimos veinte años. Uno de las técnicas más populares es el empleo de las llamados "redes neuronales artificiales" (RNA) [Jai00], [Pan04].

Tradicionalmente, el proceso de identificación mediante PSA se lleva a cabo mediante un análisis off-line, una vez que el experimento ha finalizado. Esta situación puede requerir unas necesidades excesivamente elevadas de capacidades de almacenamiento, puesto que es necesario tener almacenadas las formas de onda completas de cada colisión. Teniendo en cuenta que un detector suele tener diferentes puntos de adquisición (ya que están divididos en píxeles

o en strips), que las formas de onda pueden llegar a tener una duración de 200 ns para fragmentos pesados, y que la velocidad de muestreo de la conversión analógica-digital debe estar por encima de 125 MHz [Bar09c]; la tasa media experimental será un factor determinante para determinar las necesidades de almacenamiento, y por lo tanto, decidir si dicho análisis será significativo (en el sentido de que queden muchas partículas sin identificar). Cuando dicha tasa es del orden de los kHz por detector, los requerimientos necesarios de transferencia rápida (para reutilizar los dispositivos de almacenamientos para nuevas partículas) y almacenamiento de memoria (para almacenar el grupo de formas de onda de un evento) son excesivamente elevados.

Por otro lado, los algoritmos de procesamiento digital de la señal se han hecho más poderosos a medida que los avances en tecnologías de circuitos integrados permiten vías de implementación más compactas y eficientes. El grado de desarrollo alcanzado hoy día por las tecnologías digitales modernas las hace muy atractivas para su aplicación a detectores de física nuclear, donde se demandan simultáneamente buena temporización y resolución de energía. En particular, una solución hardware on-line eliminaría la problemática aludida anteriormente en el sentido de que los requerimientos de almacenamiento son reducidos drásticamente, ya que sólo es necesario el almacenamiento de la identificación de la partícula y no de la forma de pulso completa; y la transferencia de información no sería necesaria ser tan rápida ya que el volumen de información que hay que transferir sería mucho menor. Por lo tanto, el desarrollo de una solución on-line es muy deseable, ya que además de lo anterior, también se reduciría drásticamente tanto el tamaño como la complejidad del sistema, como se muestra en la Figura 6.1.

La solución por la que se va a optar debe tener la posibilidad de adaptación del sistema a las necesidades de un experimento en particular. Dicho requisito implica la necesidad de uso de sistemas programables, como pueden ser FPGAs, microcontroladores y/o microprocesadores. De las opciones anteriores, hemos elegido la utilización de un dispositivo FPGA debido a que proporciona la flexibilidad necesaria para el testeo y la optimización de diferentes arquitecturas de RNA y características. Otra importante ventaja de los dispositivos FPGA es su relativa resistencia a la radiación comparada con los microprocesadores y otros dispositivos programables, por lo que pueden ser más apropiadas para diseñar una etapa de entrada dedicada para sistemas de detección de partículas necesarios en la espectroscopia de física nuclear. Dentro de esta categoría, hemos elegido un dispositivo FPGA Spartan modelo 3AN700 [Spa00], aprovechando su bajo costo y alta configurabilidad. Nuestro propósito principal es el estudio de viabilidad del concepto del diseño.

6.2 Necesidades y Metodología.

Nuestra técnica es intrínsecamente paralela y la segmentación del detector se puede aprovechar de forma eficiente mediante un análisis paralelo parcial del evento completo. En este escenario, debe implementarse un esquema de multiplexado en la FPGA para manejar el flujo de datos hacia el dispositivo de salida (almacenamiento o siguientes etapas de la cadena de adquisición de datos). De esta forma, cuando tratamos con una tasa de impacto de partículas alrededor de unos pocos kHz, el cuello de botella estará en la comunicación con el dispositivo de salida, y no en el proceso de análisis on-line. En la Figura 6.2 se muestra un esquema parcial de la cadena de instrumentación, centrándonos en el procesamiento digital, evidenciando la operación paralela de cada píxel y su conexión con el dispositivo de salida a partir de un arbitrador. La misión del

arbitrador consiste en llevar a cabo la conexión del píxel indicado con el dispositivo de salida, y de esta forma, evitar la pérdida de la información relativa a la identificación de la partícula.

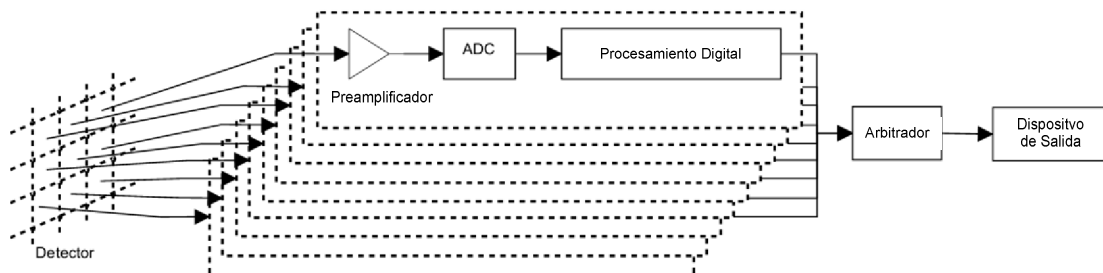


Figura 6.2. Diagrama de bloques de una cadena electrónica típica para PSA.

Dentro de los diferentes tipos de redes neuronales, hemos decidido la implementación de un perceptrón multicapa (MLP) debido a que es uno de los tipos más indicados como solución al problema de reconocimiento de patrones. En la Figura 6.3 se muestra el esquema genérico de un MLP compuesto por diferentes capas de elementos de procesado, denominados neuronas. Cada neurona está compuesta por una suma ponderada de los diferentes datos de entrada. Seguidamente, el comportamiento lineal de la suma ponderada es complementado con un comportamiento no lineal introducido por la denominada función de activación. La adecuada ponderación (formada por un vector de pesos) adapta la solución genérica a un problema determinado. Esta adaptación consiste en la obtención de los valores adecuados de los pesos, tarea que es conocida como entrenamiento.

Para nuestra aplicación en particular, hemos implementado una red con una capa de salida utilizando dos neuronas. Esta decisión, como se comenta en el apartado 0, parece suficiente para clasificar un gran rango de formas de iones pesados, al obtener como salidas valores dependientes del número de protones y neutrones de las partículas. Sin embargo, el diseño de la MLP es

completamente reconfigurable en su arquitectura (número de neuronas y su distribución en capas), el número de datos de entrada (indicado por el número de muestras necesarias para la reconstrucción de la forma de onda) y su tamaño, de forma que se pueda adaptar a las diferentes condiciones del experimento.

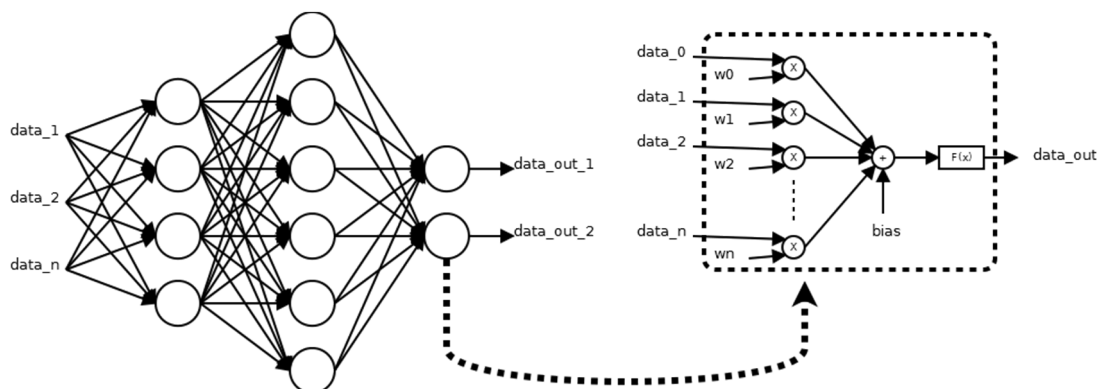


Figura 6.3. Diagrama de bloques de una cadena electrónica típica para PSA.

La gran flexibilidad de la arquitectura FPGA nos permite describir un MLP genérico altamente configurable usando código VHDL (Lenguaje de Descripción Hardware VHSIC). Los datos de configuración forman la arquitectura de la MLP y su tamaño de datos (formato numérico). La configuración de la arquitectura del MLP se lleva a cabo en el proceso del entrenamiento de la red, que puede realizarse usando formas de pulsos típicas de iones pesados en las reacciones bajo estudio. Se comprueba el rendimiento de diferentes arquitecturas que tienen varias combinaciones de capas y neuronas para determinar la configuración óptima y los pesos correspondientes. Las tareas de configuración y de entrenamiento se realizan off-line con una herramienta software, como Matlab.

El formato numérico será determinado por los valores de los pesos y por la resolución del ADC, considerando una aritmética de punto fijo. El tamaño de la parte decimal viene determinado por la resolución del ADC. De esta forma se

obtiene una normalización de los datos de entrada, reduciendo la influencia de la energía de la colisión en la forma del pulso de carga. Una vez fijado el tamaño de la parte decimal, los pesos fijan el tamaño de la parte entera.

Si las condiciones experimentales imponen un cambio de configuración de la arquitectura del MLP y/o en el formato de los datos, tiene que realizarse una nueva implementación del sistema, es decir, modificando únicamente los parámetros de configuración, hay que realizar todas las tareas del flujo de diseño (síntesis, place & route y programación). Sin embargo, un cambio de los pesos, sólo implica una reprogramación del dispositivo al estar limitado a la modificación de un bloque de memoria.

6.3 Implementación de la red neuronal.

Una de las ventajas de una red neural es su alto grado de paralelismo. Sin embargo, este modo de operación necesita muchos recursos hardware y los dispositivos FPGA son generalmente muy limitados. Por tanto, la mayoría de implementaciones de MLP en FPGAs se realizan de forma serie. En este caso una única neurona debe realizar tantas iteraciones como número de neuronas que componen el MLP completo. Para un uso óptimo de los recursos hardware de implementación de la FPGA, sin embargo, se puede implementar en un único dispositivo varios MLP (con un determinado número de neuronas dedicadas) en un único dispositivo. En ese caso el número de iteraciones vienen dadas por la relación entre las neuronas en el MLP y el número total de neuronas implementadas.

La estructura básica se muestra en la Figura 6.4., con el siguiente comportamiento. En primer lugar, los datos de entrada provenientes del convertidor analógico-digital son introducidos en el MLP mediante su

almacenamiento en el registro de desplazamiento de entrada. Estos y los pesos (previamente almacenados en una memoria) se introducen en las neuronas para realizar la operación de la/s neurona/s correspondiente/s. La salida de esta/s neurona/s se introduce en un registro de salida dedicado. Una vez que todas las neuronas de una misma capa hayan finalizado su operación, sus datos de salida serían almacenados en el registro de entrada cuando haya finalizado la operación de una capa escondida, o se conectaría al dispositivo de salida cuando haya finalizado la operación de la capa de salida, y por tanto del MLP. El controlador tiene la misión de garantizar la correcta secuencia del conjunto de operaciones realizado por cada componente.

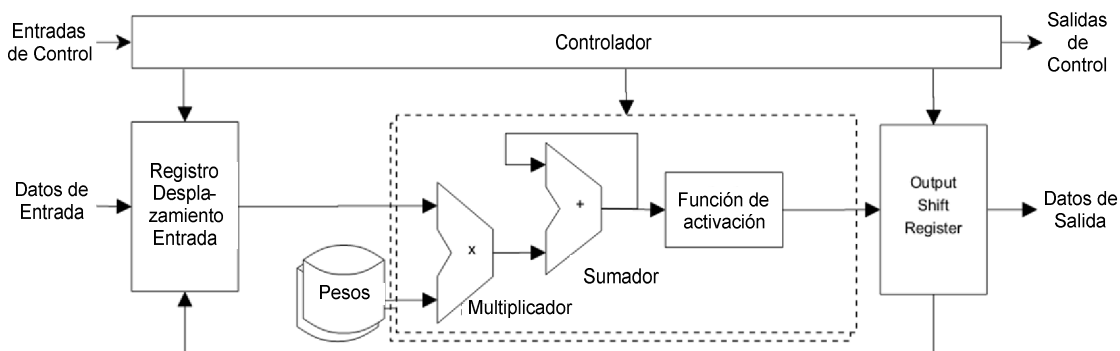


Figura 6.4. Esquema de la red neuronal a nivel de bloques.

6.3.1 Registro de desplazamiento de entrada.

La etapa de entrada consiste en dos registros de desplazamiento. El primero de ellos almacena los datos de entrada provenientes del convertidor analógico-digital, y el segundo carga los datos temporales producidos por las neuronas de cada capa. El puerto de salida de este bloque debe conectarse a cada registro dependiendo de la capa que se encuentre en operación (la capa de entrada o el resto de ellas). Esta arquitectura mantiene los datos de entrada disponibles durante el proceso completo para realizar más operaciones, tal como una verificación fuera de línea del proceso de identificación.

El registro de desplazamiento de entrada dispone de un controlador propio para detectar el final de los datos de entrada en el proceso de almacenamiento, generando la señal "INIT" que se utilizará como señal de inicio de operación de las neuronas. Esta función no puede ser implementada en el controlador principal, ya que la frecuencia de entrada de datos y la de funcionamiento del MLP son generalmente distintas.

6.3.2 Las neuronas.

Cada neurona está caracterizada por una suma ponderada (comportamiento lineal) y una función de activación (comportamiento no lineal). Entre las diferentes funciones de activación usadas comúnmente para reconocimiento de patrones hemos elegido la función sigmoide tangente hiperbólica (TANSIG) para la capa de entrada y las capas ocultas. La función más simple de identidad se ha comprobado que resulta adecuada para la capa de salida. Con el fin de reducir la complejidad del hardware, se ha empleado aritmética de punto fijo.

La implementación de la función sigmoide tangente hiperbólica requiere una aproximación debido a las limitaciones de hardware de la FPGA. En nuestro caso hemos escogido la aproximación triangular isósceles [Lin08]. De esta forma, la función sigmoide hiperbólica-tangente resulta aproximada por una función cuadrática:

$$f(x) = \begin{cases} x - 0.25 \cdot \text{sign}(x) \cdot x^2 & 0 < |x| < 2 \\ \text{sign}(x) & \text{en otro caso} \end{cases} \quad (6.1)$$

El hardware necesario para esta aproximación es un multiplicador seguido de un bloque sumador/restador. Estos componentes se utilizan ya en la suma ponderada y no es necesario hardware adicional, como se muestra en la Figura

6.5. Aquí, el flujo de datos correspondiente a la suma ponderada se indica con línea continua, mientras que el flujo correspondiente a la función de activación se indica con línea discontinua. Finalmente, los datos de salida deben ser truncados a partir del número correspondiente de bits decimales y enteros, para evitar una acumulación creciente de dígitos.

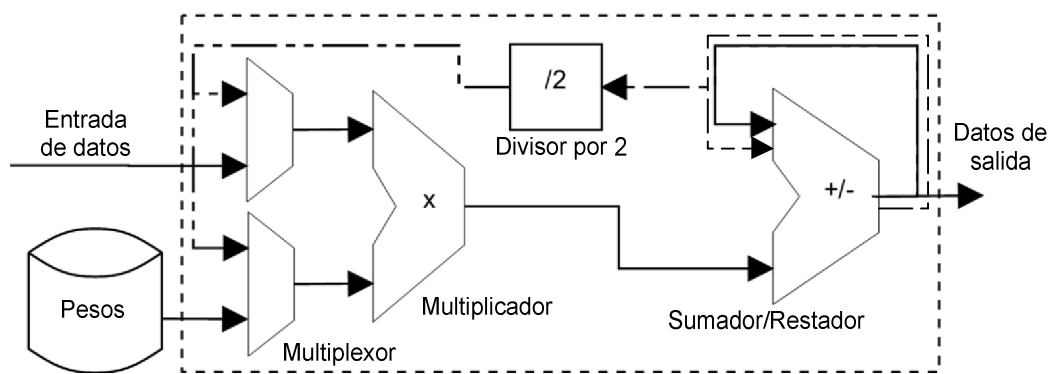


Figura 6.5. Esquema de una neurona a nivel de bloques.

6.3.3 El registro de desplazamiento de salida.

El papel del registro de desplazamiento de salida es almacenar los datos de salida producidos por las neuronas, y por tanto funciona como un banco de registros estándar cuyas direcciones son los índices de las neuronas en la capa correspondiente. El comportamiento del registro de desplazamiento de salida depende de la capa que proporcione los datos de salida. Para la capa inicial y oculta, los datos almacenados son transferidos al registro de desplazamiento de entrada, mientras que si se trata de la capa de salida, el registro de desplazamiento espera hasta que el dispositivo de salida está listo para recibir los datos (el proceso de lectura de la salida se realiza con operaciones de desplazamiento).

6.3.4 Controlador.

El controlador indica las operaciones que las neuronas y los registros deben hacer en cada ciclo, las cuales se pueden resumir como sigue:

- Esperar la señal INIT.
- Realizar un conjunto de multiplicaciones y acumulaciones sobre todos los datos de entrada.
- Realizar las operaciones correspondientes a la función de activación.
- Ir a la siguiente neurona, si no hay más neuronas en esta capa, se considera una capa nueva.
- Un nuevo bucle comienza de nuevo; si no existen más capas, el sistema finaliza la operación del MLP.
- El sistema espera hasta que el dispositivo de salida está preparado para recibir datos nuevos.
- El dispositivo de salida decide qué datos deben transmitirse: o bien los datos de salida (datos de identificación) o bien los de entrada/salida (forma del pulso y datos de identificación).
- Finalmente, el sistema espera hasta que la señal INIT es desactivada para evitar una operación con un conjunto de datos incompletos.

6.3.5 Memoria de pesos.

Los pesos correspondientes a los datos de entrada de las diferentes neuronas se almacenan en bloques de memoria (uno por neurona implementada). Todos los pesos se almacenan secuencialmente, de modo que cada dirección depende de la posición de los datos de entrada en la neurona, el

índice de la neurona en la capa y el índice de la propia capa. El tamaño de palabra de los bloques de memoria debe ser igual al tamaño de datos del MLP.

6.4 Aplicación a la discriminación de ^{12}C - ^{13}C .

El principal objetivo de este trabajo es investigar una implementación hardware eficiente de un MLP, capaz de proporcionar información sobre identificación de partículas on-line para experimentos de iones pesados, usando tecnologías basadas en FPGAs. La tarea del MLP es clasificar iones que tengan los mismos valores de protones y neutrones (Z , N), tomando como referencia las formas características usadas en la etapa de aprendizaje. Se ha demostrado recientemente el éxito de técnicas basadas en PSA para iones que tienen distintos valores de Z usando varios métodos [Bar09c] [Flo12]. Sin embargo, la situación resulta más complicada cuando los iones tienen la misma Z pero valores similares del número másico N .

En este trabajo hemos decidido llevar a cabo la implementación con FPGA de un MLP desarrollado recientemente para la clasificación de iones pesados, seleccionando un caso particular, la identificación PSA de isótopos $^{12,13}\text{C}$ [Flo12]. Nuestra elección de este caso particular viene motivada por tres razones. La principal, este es uno de los pocos casos en los que existen datos PSA sobre iones pesados que tienen el mismo valor Z y la misma energía. Además, los datos se han estudiado mediante técnicas analíticas [Bar09a] y ANNs [Flo12]. Para finalizar, la tercera razón es que la diferencia másica es solo una unidad, haciendo posible comprobar la selectividad másica del sistema de identificación. Los datos experimentales fueron obtenidos en experimentos realizados por la colaboración FAZIA [FAZ12] usando el ciclotrón CIME en el centro GANIL situado en Caen, Francia. Una descripción más detallada de la

configuración y análisis de los datos puede encontrarse en [Bar09b] y la implementación de la ANN se describe en [Flo12]. Las señales de corriente digitalizadas de iones $^{12,13}\text{C}$ son muy similares y un grupo seleccionado se muestra en la Figura 6.6. Corresponden a a iones ^{12}C y ^{13}C con energías de 98.48 MeV y 96.74 MeV, respectivamente, registrados con un detector de silicio dopado con neutrones de alta homogeneidad (NTD) de 300 μm de espesor [Par10].

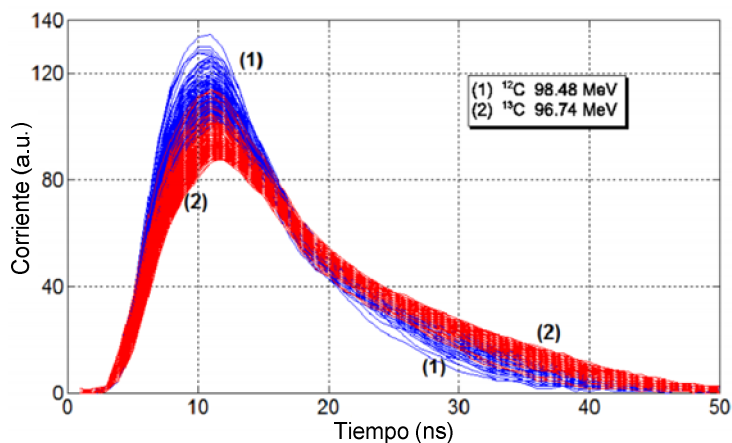


Figura 6.6. Señales de corriente generadas por iones ^{12}C (trazas azules) y ^{13}C (trazas rojas) impactando en un detector de Si NTD de 300 μm .

La ANN seleccionada está compuesta básicamente por un MLP de tres capas con un esquema de 8-8-2 neuronas, que mostraron buen rendimiento usando el algoritmo de back-propagation Levenberg-Marquard [Lou05]. La etapa de aprendizaje de la ANN se llevó a cabo fuera de línea usando el Neural Network Toolbox de Matlab [Neu00]. A la ANN se le proporciono 100 señales por isótopo, obteniendo un nivel de éxito del 100% tras solo unas 100 iteraciones. El ANN produce las salidas (0, 0) y (1, 0) para iones ^{12}C y ^{13}C respectivamente. En lo que respecta al tamaño de los datos de entrada, fueron suficientes 10 dígitos decimales para las formas de señal digitalizadas (cuya

área está normalizada a la unidad) y 4 bits enteros para codificar los pesos correspondientes a las neuronas.

6.4.1 Análisis de los resultados.

El grado de paralelismo de la implementación hardware depende de dos parámetros. El primero es el número de MLPs implementadas en el dispositivo FPGA. Este parámetro, junto con el número de elementos del detector dedicados a PSA, determinarán el número de dispositivos FPGA necesarios. El segundo es el número de neuronas dedicadas a un MLP que afectan a la latencia del proceso de identificación.

De esta forma, se ha realizado un estudio para llegar a un compromiso entre el número de MLPs y el número de neuronas por red con la ayuda de herramientas de Xilinx [ISE00]. Los resultados de este estudio, empleando un dispositivo Spartan3AN700 con un reloj de 50MHz, se pueden observar en la Tabla 6.1.

Los resultados han considerado los parámetros temporales (latencia y número de ciclos de operación) y recursos hardware (bloques de RAM, multiplicadores, tablas Look-Up (LUTs), Flip-Flops (FFs), y el número máximo de ANN implementadas en un dispositivo) variando el número de neuronas implementadas por red. Es interesante comprobar que el número de LUTs puede reducirse aunque la complejidad del ANN (el número de neuronas implementadas) se incremente. Este efecto es debido a la optimización de la herramienta de síntesis. Sin embargo, el parámetro más restrictivo es el número de bloques de RAM. Este parámetro eventualmente determina el número máximo de MLPs que pueden implementarse en un único dispositivo. El dispositivo escogido tiene 20 bloques de RAM, aunque solo 19 están

disponibles para la implementación de MLPs (se necesita 1 bloque RAM para el componente de salida). Por ejemplo, considerando la fila correspondiente a 2 neuronas por red, el número máximo de MLPs implementadas en un dispositivo FPGA es 9, aunque se puede escoger un número menor.

Neuronas					Latencia		N. ANN
por red	RAM	Mult.	FFs	LUTs	(ns)	N. ciclos	(max.)
1	1	1	508	723	38750	1937,5	19
2	2	2	600	934	20430	1021,5	9
3	3	3	696	1428	15950	797,5	6
4	4	4	786	1465	11470	573,5	4
5	5	5	888	2197	11470	573,5	3
6	6	6	976	2079	11470	573,5	3
7	7	7	1073	2805	11470	573,5	2
8	8	8	1161	2304	6990	349	1

Tabla 6.1 Resultados de síntesis y simulación variando el número de neuronas dedicadas a una red empleando una FPGA Spartan 3an700.

Aparte de la limitación de recursos hardware, tenemos otras limitaciones para la implementación óptima hardware que provienen de las necesidades específicas de la aplicación: velocidad de procesamiento, tasa de impacto de las partículas, número de ANNs y el número de canales activos dedicados a PSA en el sistema detector, que determinarán el número de dispositivos FPGA necesarios.

En este trabajo hemos escogido un sistema compuesto de 8 ANNs con dos neuronas dedicadas a cada red. Esta implementación puede ser adecuada para una tasa de impacto de partículas en cada canal independiente del detector de 1 kHz (el tiempo de procesamiento es de alrededor de 20 μ s y habrá más tiempo

para otras posibles operaciones). Teniendo 32 canales dedicados a PSA en total, y una distribución plana de ocupación del dispositivo (aunque la ocupación del dispositivo FPGA no se maximiza debido a una distribución plana), el sistema de procesamiento estará compuesto por 4 dispositivos FPGAs.

6.4.2 Simulación de la red neuronal.

La intención de la simulación es doble. Debemos verificar el rendimiento del sistema en cada etapa, y también comparar la salida final del dispositivo FPGA (implementación ANN en línea para el sistema detector) con el método fuera de línea basado en nuestra ANN software (basado en herramientas de Matlab) ejecutándose en un PC estándar. Se simuló el modelo VHDL de una red neuronal ya entrenada ejecutándose en la FPGA seleccionada con una frecuencia de reloj de 50 MHz. La respuesta del sistema a un conjunto de pulsos no empleados para el proceso de aprendizaje se muestra en la Figura 6.7.

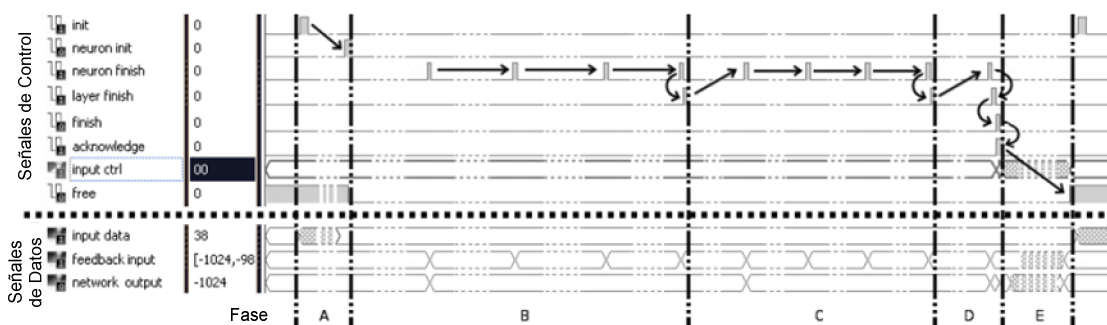


Figura 6.7. Forma de onda de un ciclo de análisis en línea implementado en hardware usando nuestro dispositivo FPGA.

La operación se controla mediante cinco señales. La red neuronal comienza a operar tras recibir la señal INIT producida por una entrada de datos válida (la forma de pulso de una partícula). En la práctica esta señal es construida como un disparo válido, obtenida generalmente cuando el valor de la entrada alcanza un cierto umbral previamente fijado en un dispositivo filtro. En la mayoría de los sistemas detectores para espectroscopia de partícula el

disparo se genera fuera del dispositivo PSA-FPGA, pero en nuestro caso se genera internamente con fines de prueba. En la primera parte del proceso (fase A), los datos de entrada se almacenan en el registro, lo que activa la señal de inicio de la neurona (NEURON INIT), provocando el inicio de la operación de la ANN. Las fases B, C y D ilustran la operación de las capas de entrada, capa ocultas y de salida, respectivamente. Las principales diferencias entre estas fases radican en el número de neuronas por capa y en el número de datos de entrada por neurona.

En la fase B (capa de entrada) se necesitan cuatro iteraciones debido a que se comparten las ocho neuronas de la capa por dos neuronas, y cien entradas de datos dadas por la longitud del pulso de entrada. En la fase D (capa de salida), sólo se necesita una iteración debido a la que se comparten dos neuronas de la capa por otras dos neuronas, y ocho entradas de datos dadas por el número de neuronas de la capa previa. Cuando la fase D ha terminado, la señal FINISH se activa y la ANN espera a que el dispositivo de salida acepte los datos producidos por la red neural. Los datos son transferidos al dispositivo de salida tras el intercambio de una señal de ACKNOWLEDGE en la fase E. la señal INPUT-CTRL determina los datos requeridos por el dispositivo de salida: datos de entrada/salida (forma del pulso y datos de identificación) o datos de salida (datos de identificación). En nuestro caso particular, la red transmite los datos de entrada/salida. Cuando el proceso de lectura de datos ha terminado, se activa la señal FREE, indicando que la red neuronal está preparada para un nuevo análisis

La comparación entre el proceso on-line y el proceso off-line se ha llevado a cabo con un juego de 3800 señales nuevas de isótopos ^{12,13}C. Ninguna de estas señales fue usada previamente en el proceso de entrenamiento de la ANN.

La desviación entre los métodos on-line/off-line puede medirse con el parámetro de error absoluto. Los resultados se muestran en la Figura 6.8. Con nuestra solución hardware (on line) se identifican de forma correcta más del 99% de los eventos, un grado de éxito similar a la alcanzada con el análisis off-line. Por tanto, las limitaciones impuestas por la implementación hardware en el dispositivo FPGA (básicamente el número de bits de las formas de señal digitalizadas, el truncamiento de la salida de la neurona, el empleo de punto fijo y la aproximación de la función sigmoide hiperbólica tangente) no afectan significativamente al proceso de análisis on-line.

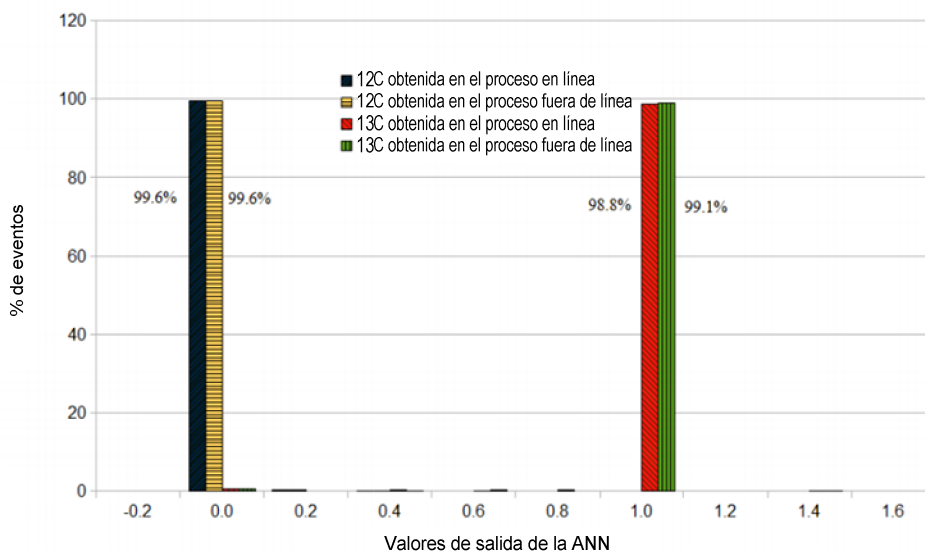


Figura 6.8. Resultados de la tarea de identificación usando proceso on-line y off-line.

6.5 Prototipado.

Aprovechando que una de las funciones típicas de los dispositivos FPGAs es el prototipado, se ha desarrollado un prototipo integrado del procesamiento digital correspondiente a ocho canales de identificación.

En concreto, se ha utilizado el modelo de FPGA Spartan-3AN700 [Spa00] sobre la placa de desarrollo Spartan3AN StarterKit board [Spa01]. En dicha placa, mostrada en la Figura 6.9, se detallan los elementos utilizados para la operación del prototipo:

- Un oscilador integrado en la placa de 50 MHz
- El dispositivo FPGA de modelo Spartan-3AN700
- Diodos LEDs, para la visualización del estado de operación de la red neuronal seleccionada. Este elemento se considera únicamente en el modo de funcionamiento de test.
- Display LCD, para la visualización de la red (pixel) a la que le llegan los datos, el evento que ha llegado y los valores de salida de la red. Este elemento ha sido utilizado como elemento de salida del prototipo.
- Conmutadores, para la selección de la red y evento consideración en la operación.

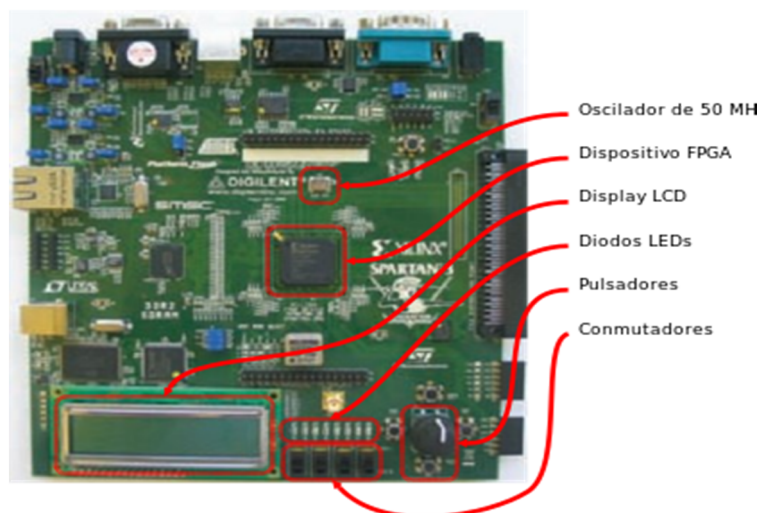


Figura 6.9. Adaptación de la placa de desarrollo Spartan-3AN Starter Kit Board al prototipo de identificación.

6.5.1 Arquitectura del prototipo.

Una vez que se ha determinado la plataforma de implementación, es necesario rodear al sistema de identificación implementado, es decir, a la red neuronal, de los elementos necesarios para la verificación de su

comportamiento. Dichos elementos son mostrados en la Figura 6.10. El prototipo está compuesto por un generador de señales de reloj, y generador de datos de entrada, ocho canales de identificación (redes neuronales), un arbitrador y un dispositivo de salida. A continuación se van a detallar las características de cada uno de ellos.

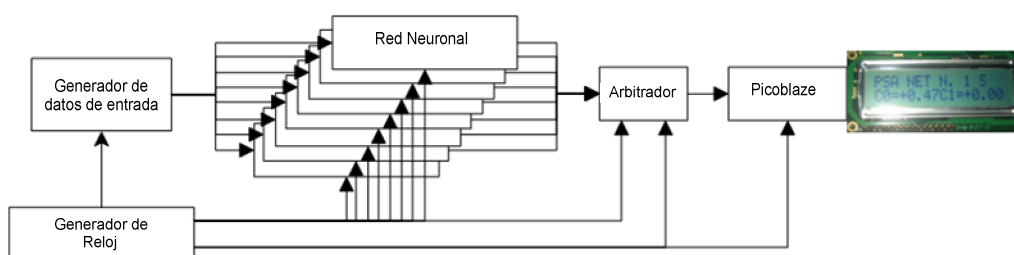


Figura 6.10. Esquema a nivel de bloques del prototipo utilizado para la verificación del proceso de identificación.

6.5.1.1 Generador de reloj.

El generador de reloj es el bloque encargado de generar las diferentes señales de reloj para el sistema completo. El sistema implementado presupone tres regiones diferentes de temporización, indicadas por tres señales diferentes de reloj. La primera región afectará a la generación de datos de entrada y al registro de entrada del MLP. Su frecuencia de reloj vendrá determinada por la frecuencia de muestreo a la cual van llegando las muestras. La segunda región afectará al resto del MLP y al arbitrador, estando determinada por la frecuencia de operación del MLP. Finalmente, la tercera región afectará al dispositivo de salida utilizado, concretamente el microcontrolador PicoBlaze [Pic00], en el que se ha implementado mediante software el controlador del display LCD y la comunicación con el arbitrador.

A la hora de determinar las frecuencias utilizadas en las diferentes regiones se ha realizado una implementación inicial del sistema completo, para

que la herramienta de síntesis (después de haber ejecutado la tarea de place&route, y así contabilizar los retrasos de las conexiones) nos devuelva los valores límites de frecuencia de operación de cada una de las regiones. Para llevar a cabo la síntesis se ha utilizado el entorno de diseño ISE WebPack de Xilinx [ISE00]. Las máximas frecuencias de operación obtenidas se muestran en la Tabla 6.2. No obstante cabe destacar que dichos valores pueden variar debido a la fuerte influencia en el retraso de proceso de place & route.

Regiones temporales	Generación de datos (registro de entrada)	MLP	Dispositivo de Salida
Periodo	9.296 ns (3.874 ns)	17.786 ns	18.276 ns
Frecuencia	107.57 MHz (258.13 MHz)	56.22 MHz	54.72 MHz

Tabla 6.2 Frecuencias de operación de las tres regiones temporales del prototipo.

A partir de la Tabla 6.2 se puede apreciar que el dispositivo de salida es el componente con mayor restricción al necesitar una frecuencia menor para poder llevar a cabo su operación. La placa utilizada para el prototipado dispone de dos osciladores integrados con frecuencias de 133 MHz y 50 MHz. Según la tabla anterior, únicamente se va a utilizar el generador de 50 Mhz, ya que la región que admite una máxima frecuencia de operación necesita 107 MHz para una correcta operación.

Puesto que la región temporal de entrada está compuesta con la generación de datos de entrada y el registro de entrada del MLP, también se ha obtenido la frecuencia máxima del registro de entrada con el fin de obtener el componente que forma el cuello de botella de los 107 MHz. Se puede observar que el límite de frecuencia del registro de entrada se encuentra en 258 MHz, por

lo que el requerimiento de una frecuencia inferior es debido a la generación de datos de entrada y no a la implementación del MLP.

6.5.1.2 Generación de datos de entrada.

El bloque generador de datos de entrada se encarga de la emulación del proceso de colisión de la partícula con el detector y la conversión analógica-digital, mostrado en la Figura 6.11.

El proceso de colisión es emulado por un controlador local junto con los conmutadores y un pulsador; mientras que la conversión es emulada por un bloque RAM donde están almacenadas las muestras de una serie de eventos.

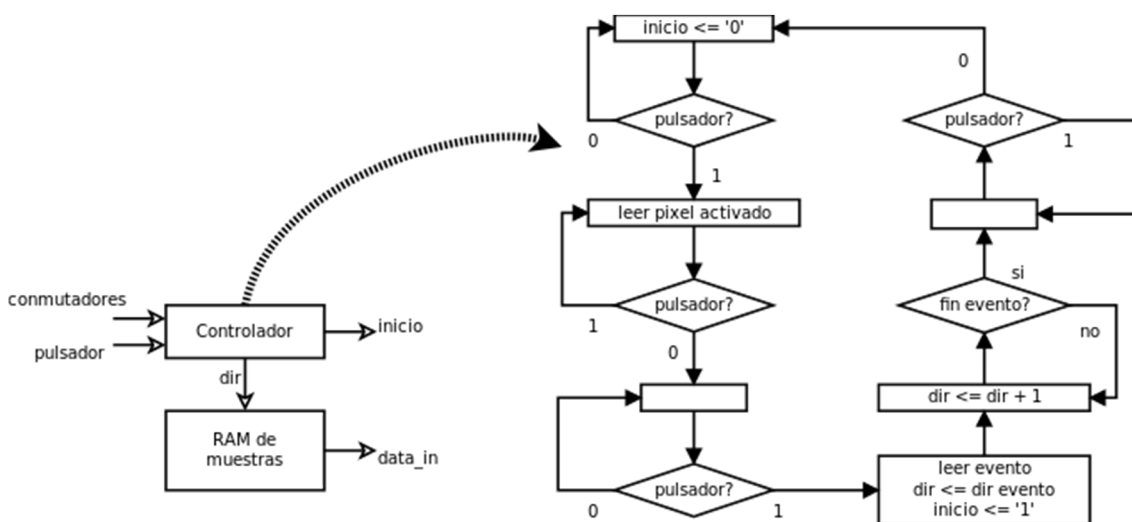


Figura 6.11. Esquema a nivel de bloques del generador de datos de entrada. Comportamiento del controlador local.

Según la configuración de la red neuronal indicada en el apartado 0, el número de muestras para reconstruir el pulso de carga de un evento es 100, y el número de bits para codificar cada muestra es 14 (que será adaptado a 16 para utilizar un tamaño de palabra de memoria estándar); luego cada evento

necesita almacenar 100x16 bits. Teniendo en cuenta que un bloque RAM dispone de 1Kx16, vamos a considerar únicamente 10 eventos. Los eventos seleccionados serán aquellos con un valor de salida significativo, tanto si el valor de salida es nominal como si no.

Como la placa utilizada dispone solamente de cuatro conmutadores y el presente bloque debe poder discriminar entre ocho píxeles y 10 eventos, la estrategia utilizada es la multiplexación de los datos. El comportamiento del controlador local se muestra en la Figura 6.11. En su situación inicial, el sistema mantiene desactivada la señal inicio por lo que los MLPs permanecen en espera. Al pulsar por primera vez el pulsador, el controlador almacena el valor de los conmutadores en una señal determinando el evento que colisiona con el detector. Seguidamente se espera a que se desactive el pulsador, entrando en un estado de espera para leer el pixel activado. Este pixel llegará con la siguiente pulsación finalizando la multiplexación. También se activa la señal de inicio, indicando al MLP que puede empezar a leer los datos; y se carga la dirección correspondiente a la primera muestra del evento seleccionado. A continuación se incrementa la señal de dirección en cada ciclo de operación hasta que haya finalizado el número de muestras del evento. Finalmente el sistema espera a que se desactive el pulsador para poder generar un nuevo conjunto de muestras.

A lo anterior hay que añadirle un sistema antirrebote, puesto que los pulsadores de la placa no tienen integrado este sistema. En caso de no disponer de dicho sistema, no se tendría control de la separación entre la elección del evento y del píxel activado.

6.5.1.3 Arbitrador.

La situación implementada en la arquitectura del prototipo es la situación clásica de necesidad de un arbitrador, es decir, varios sistemas (MLPs) desean acceder a un mismo recurso (dispositivo de salida). Por lo tanto es necesario tomar la decisión del esquema de prioridades que se implementará en el arbitrador. Para ello, vamos a suponer que todos los MLPs son igualmente prioritarios; luego la garantía de que todos los MLPs sean atendidos en algún instante sólo se mantiene si se utiliza una gestión de prioridades dinámica, en el sentido de que las prioridades de cada MLP varía durante la operación del sistema completo.

Para el cumplimiento de las consideraciones anteriores, se va a utilizar un esquema de prioridades rotatoria basada en tokens [Eun02]. El comportamiento de dicho esquema se muestra en la Figura 6.12.

El sistema permanece ocioso hasta que se detecta la llegada de una petición. En ese momento se activa un contador que almacena el token que indica el MLP con mayor prioridad. Mientras que la dirección del token no monitorice una petición activa, el contador sigue incrementándose. En caso contrario, se almacena el valor del contador en un registro índice.

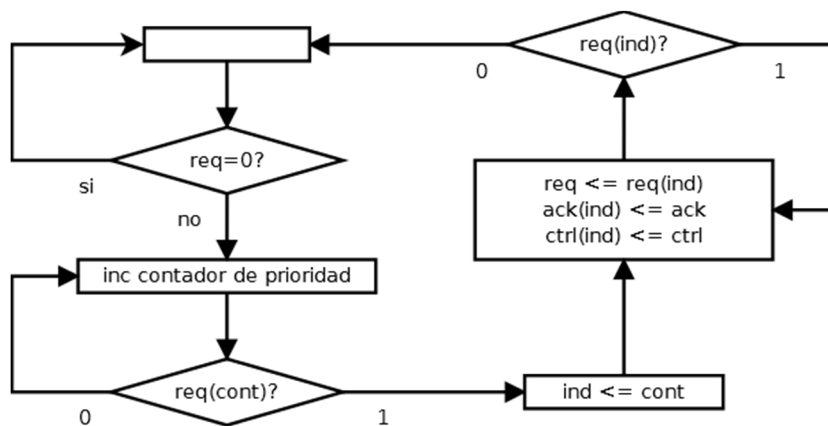


Figura 6.12. Esquema de arbitración utilizado.

Como la llegada de una nueva petición activa el contador de prioridades, el último MLP atendido pasa a tener la mínima prioridad ya que para que sea atendido de nuevo, el contador de prioridades debe realizar un ciclo completo. Luego, el esquema utilizado pertenece a la categoría de esquemas rotatorios.

En este momento, el arbitrador pasa a funcionar como un buffer de petición (en el sentido del MLP al dispositivo de salida), reconocimiento y de control (en el sentido del dispositivo de salida al MLP). Dicho funcionamiento se mantendrá mientras la petición siga activa, indicando que el MLP todavía dispone datos que debe enviar.

En la Figura 6.13a se muestra un ejemplo del comportamiento del arbitrador mediante simulación. En esta simulación se ha activado una petición, en concreto, la correspondiente a la red número 3. Dicha petición activa la operación del arbitrador, y comienza el incremento del contador de prioridades. En el momento inicial, el MLP con mayor prioridad es el de dirección 0, por lo que la señal `cont_prioridad` se incrementa hasta llegar a 3. En ese momento se activa la señal de petición del recurso (`req_out`). Seguidamente, cualquier activación de la señal de reconocimiento y/o de control del recurso pasa a la señal de reconocimiento y/o de control del MLP 3.

En el caso de la Figura 6.13b, se muestra el caso de una nueva petición del mismo MLP. En este caso, la cuenta inicial consigue asignar la mínima prioridad al MLP 3, por lo que el contador de prioridades realiza un ciclo completo antes de asignar el recurso al mismo MLP.

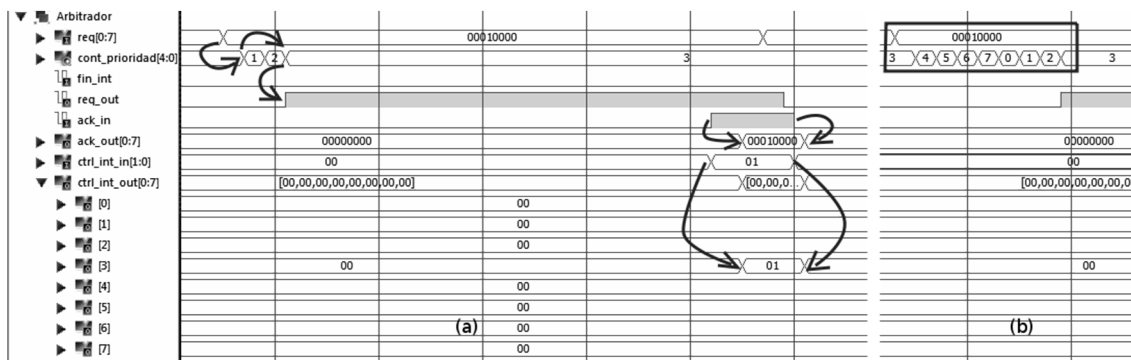


Figura 6.13. Comportamiento del esquema de arbitración utilizado.

6.5.1.4 Dispositivo de salida.

La elección típica del dispositivo de salida es un sistema de almacenamiento masivo para poder realizar análisis posteriores. No obstante, esta situación no es interesante en el presente trabajo ya que dicho análisis posterior no va a ser realizado. Sin embargo, se pretenderá que el dispositivo sea lo suficientemente versátil para que con cambios menores en el hardware sea posible el intercambio de mecanismos de salida. Dicha versatilidad será alcanzada con la utilización de un sistema software (en nuestro caso, un microcontrolador), y de ese modo, el intercambio será simplemente el cambio del programa a ejecutar.

Dentro de la familia Spartan3, uno de los microcontroladores mejor adaptados es el PicoBlaze3™ [Pic00]. La buena adaptación al dispositivo programable radica en la disposición de una descripción firmware del microcontrolador, utilizando componentes específicos del dispositivo programable. Las principales características de PicoBlaze™ son:

- Microcontrolador de 8 bits con un conjunto RISC de instrucciones.
- Posibilidad de utilizar 256 puertos de entrada y 256 puertos de salida.

- Dispone de un canal de interrupciones.
- Dispone de un banco de 16 registros de propósito general.
- Dispone de un memoria interna de 65 palabras de 8 bits.

Un esquema detallado de la conexión entre los MLP, el arbitrador y el microcontrolador se muestra en la Figura 6.14. El proceso de comunicación se realiza de la siguiente forma: cada uno de los MLP le envían sus señales de petición al arbitrador, y la comunicación permanece inactiva hasta que alguna/s señal/es de petición se activa/n. En ese momento, el arbitrador activa la señal de interrupción del microcontrolador asignado el recurso al MLP con mayor prioridad que haya realizado la petición. Al llegar la petición al microcontrolador, éste lee la dirección del MLP que ha iniciado la comunicación, por lo que el microcontrolador ya sabe que MLP tiene que leer los datos.

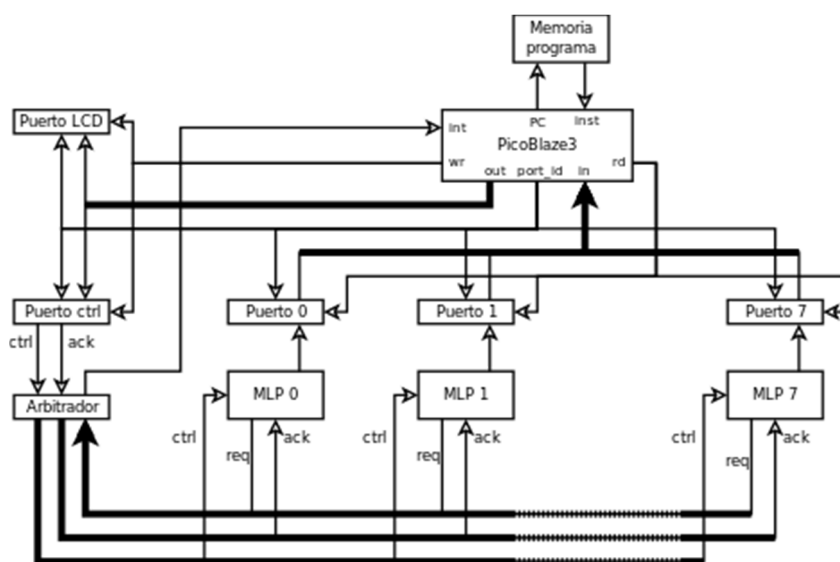


Figura 6.14. Esquema detallado de la comunicación entre MLP, arbitrador y microcontrolador.

Posteriormente, el microcontrolador genera las señales de protocolo (reconocimiento) y de control (momento y tipo de lectura, sólo datos de identificación o muestras e identificación a realizar) necesarios para llevar el

proceso de comunicación con el MLP. Estas señales son leídas por el arbitrador, el cual las dirige al MLP correspondiente. El proceso anterior se implementa en el programa del microcontrolador, junto con el comportamiento de la unidad de salida utilizada, esquematizado por el siguiente pseudocódigo.

```

Inicio:
    ESPERAR A LA LLEGADA DE UNA INTERRUPCIÓN
ini_interrupcion:
    SELECCIONAR TIPO DE SALIDA (sólo identif., o muestras + iden.)
    LEER LA DIRECCIÓN DEL MLP
    GENERAR LOS PUNTEROS A LOS PUERTOS
procesamiento_datos:
    OBTENER LOS DATOS DEL mlp
    procesar los datos del mlp para el elemento de salida
end:

```

Luego, en el código únicamente hay que cambiar la parte del procesado de los datos del MLP para el elemento de salida. En nuestro caso particular se ha utilizado un display LCD para visualizar los resultados, para lo cual se ha utilizado el controlador utilizado en [Ken06].

En nuestro caso particular, el pseudocódigo utilizado en el programa ejecutado por PicoBlaze es el siguiente:

```

INICIAR DISPLAY LCD
    MOSTRAR MENSAJE INICIAL
    HABILITAR INTERRUPCIONES
inicio:
    jump inicio

interrupcion:
    ENVIAR SEÑALES DE CTRL (muestras e id. o sólo id.)
    LEER DIRECCIÓN DE LA RED ATENDIDA
    MOSTRAR 1ª LÍNEA LCD
datos:
    LEER DOS DATOS
    PASAR DE FORMATO BINARIO A FORMATO DECIMAL (2 díg decimales)
    MOSTRAR 2ª LÍNEA LCD
    SI SE TRANSMITEN MUESTRAS+ID.
        ESPERA UN SEG.
        ENVIAR SEÑALES DE CTRL (desp. de datos de salida)
        jump datos
    jump inicio

```

Dicho pseudocódigo seguirá el esquema del pseudocódigo de partida, con las siguientes consideraciones particulares. Como veremos posteriormente, en el display LCD se pueden visualizar simultáneamente dos datos: en el caso de sólo mostrar la identificación de la partícula, con una iteración es suficiente; mientras que en caso de visualizar las muestras y la identificación, los datos mostrados serán en pareja de dos multiplexándolos temporalmente cada segundo. El procesamiento necesario, además del controlador del display, será el cambio de formato desde binario plano (formato de salida del MLP) a decimal (formato del usuario); con el fin de incluir dos datos en el display, el número de dígitos decimales visualizados es dos.

Como se desprende del código, existen dos visualizaciones diferentes en el display LCD, las cuales son mostradas en la Figura 6.15. La primera de ellas (Figura 6.15a) es la pantalla inicial, mostrando información de la aplicación que está programada en el dispositivo FPGA. Dicha pantalla sólo será accesible al inicio de la ejecución o al pulsar la señal de reset. En la segunda de ellas (Figura 6.15b) se muestra información sobre el proceso de detección en curso, es decir, el píxel que ha recibido la colisión, el tipo de datos que serán visualizados y los valores de los datos de identificación.

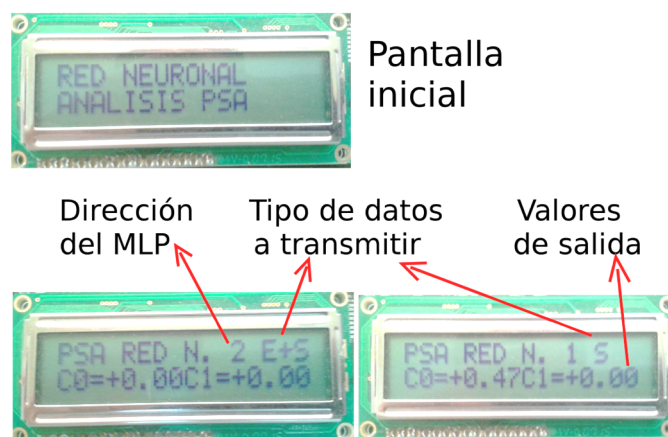


Figura 6.15. Muestra de las pantallas observadas en el display LCD.

6.6 Resultados.

A continuación, la operación del dispositivo completo se muestra en la Figura 6.16. Cabe destacar, que para propósitos de simulación, los retrasos necesarios para el correcto funcionamiento del display LCD se han reducido a valores simbólicos. En ella se han enmarcado la operación de los tres grandes bloques, correspondientes al grueso de las tres regiones temporales existentes en el prototipo. En primer lugar, el generador de datos de entrada comienza su operación después de que se han introducido en el sistema el evento que ha llegado y el píxel con el que ha colisionado. La operación de este bloque consiste en generar la señal de inicio para el MLP correspondiente e introducir en el mismo las muestras correspondientes a dicho evento.

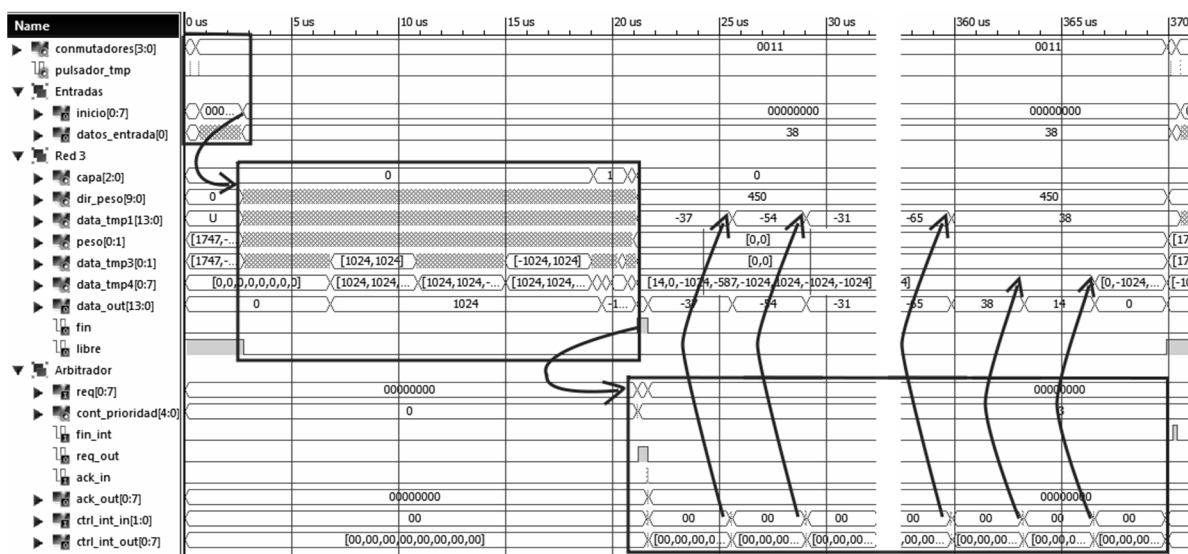


Figura 6.16. Operación del prototipo implementado en FPGA.

Una vez que la señal de inicio es generada, el MLP entra en funcionamiento y se realizan las operaciones correspondientes a las tres capas del MLP. Estas operaciones finalizan con la activación de la señal fin. En este momento el MLP queda en espera para la transmisión de los datos al dispositivo de salida.

Finalmente, la activación de la señal fin inicia la operación del arbitrador y del dispositivo de salida. En el caso particular de la Figura 6.16, el dispositivo de salida (display LCD) va a mostrar tanto el valor de las muestras como los datos de identificación. Por lo tanto, PicoBlaze™ envía primero las señales de control de desplazamiento de las muestras de entrada, para que después de obtener las 100 muestras, envíe las señales de control de desplazamiento de los datos de identificación.

Este prototipo ha sido implementado en la placa de desarrollo Spartan™3AN Starter Kit, basada en un dispositivo FPGA del modelo Spartan™ 3AN700 con las siguientes características:

- Tamaño del dispositivo: 13.248 puertas equivalentes
- Número de flip-flops en CLBs: 11776
- Número de LUTs en CLBs: 11776
- Número de multiplicadores integrados de 18x18 bits: 20
- Capacidad en bloques RAM integrados: 360 Kbits
- Número de gestores de reloj digitales (DCM): 8
- Número de bloques de entrada-salida: 372
- Memoria flash interna: 8Mbits (para almacenar la programación del dispositivo, y evitar la necesidad de reprogramación al volver a conectarlo a alimentación)

Utilizando este dispositivo, el prototipo implementado devuelve los resultados mostrados en las Tabla 6.3 y Tabla 6.4, con datos de identificación de ^{12}C y ^{13}C respectivamente. En dichas tablas se muestran el número de eventos que han sido incluidos en el generador de datos de entrada, las salidas del MLP

software implementado en Matlab™, las salidas del MLP implementado en el dispositivo FPGA obtenidas mediante simulación, y una fotografía del display LCD resultante de la operación del mismo.





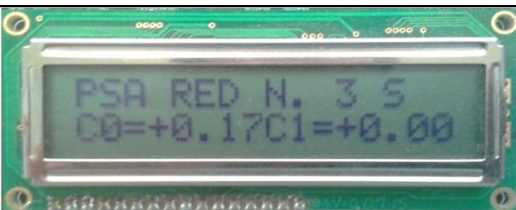
N. evento	Matlab		Xilinx		Prototipo
	C0	C1	C0	C1	
207	3.21e-02	2.55e-09	14/1024 = 0,013	0/1024 = 0	
279	4.20e-01	1.47e-08	490/1024 = 0.479	0/1024 = 0	
580	1.70e-01	6.28e-09	184/1024 = 0.179	0/1024 = 0	
830	2.05e-12	-1.31e-12	-1/1024 = -0.001	0/1024 = 0	
935	1.77e-01	6.68e-09	176/1024 = 0.182	0/1024 = 0	

Tabla 6.3 Resultados de operación del prototipo implementado (identificación de ¹²C con 1900 muestras disponibles).






N. evento	Matlab		Xilinx		Prototipo
	C0	C1	C0	C1	
0	1.00	-2.78e-13	1023/1024 = 0.999	0/1024 = 0	
311	6.29e-01	1.33e-12	589/1024 = 0.575	0/1024 = 0	
560	1.40	2.08e-09	1396/1024 = 1.363	0/1024 = 0	
894	4.89e-01	1.26e-12	453/1024 = 0.442	0/1024 = 0	
926	-2.58e-07	-8.94e-12	-1/1024 = -0.001	0/1024 = 0	

Tabla 6.4 Resultados de operación del prototipo implementado (identificación de ¹³C con 1900 muestras disponibles).

Según los datos obtenidos, y considerando que el límite de la identificación entre ¹²C y ¹³C esté en el valor medio de los valores nominales (0.5), ambos métodos de implementación muestran una concordancia en el proceso de identificación, tanto cuando la identificación es errónea como acertada.

En cuanto a la determinación de error entre la implementación software y hardware, no se puede utilizar el error relativo debido a la diferencia de precisión utilizada en las implementaciones software y hardware. En el caso de la implementación software, al utilizar una aritmética de punto flotante, la precisión de los datos obtenidos llega a 10^{-14} . En cambio, la implementación hardware, al utilizar una aritmética de punto fijo, la precisión de datos depende de los bits destinados a la parte decimal; en este caso, hay 10 bits decimales que se corresponde a una precisión de $1/1024$ igual a $9.8 \cdot 10^{-4}$. En el caso del error absoluto, su valor máximo está alrededor de 0.05, es decir, un error relativamente bajo teniendo en cuenta que el rango de valores nominales, es decir, 1.

Seguidamente, se va a llevar a cabo un proceso de caracterización considerando varios dispositivos FPGAs de diferente índole. Los dispositivos tomados en consideración en el proceso de caracterización estarán influenciados por el diseño del prototipo; en el sentido de que el microcontrolador utilizado (PicoBlaze3™) sólo puede ser implementado en dispositivos de la familia Spartan3. Para la caracterización, se han utilizado dos modelos de cada familia considerada; excepto para la familia Spartan-3ADSP, de la que sólo se disponía de un único modelo. Además, en todos ellos se ha utilizado el grado de velocidad -5 (correspondiente al dispositivo más lento), puesto que es el correspondiente al modelo del dispositivo FPGA existente en la placa de desarrollo utilizada. Como el grado de velocidad marca la velocidad de los elementos lógicos internos de la FPGA, utilizando modelos con diferente grado, se pueden alcanzar mayores frecuencias de operación.

En primer lugar, la Tabla 6.5 muestra el estudio realizado sobre la frecuencia de operación del prototipo. Para ello, se van a considerar las tres

regiones temporales a las que se hacía alusión en el apartado 6.5.1.1, y no considerar que las tres regiones estén conectadas a la misma señal de reloj. De dicho estudio se obtienen varias conclusiones. En primer lugar, la región con mayor retraso es la región de salida. Este hecho es esperado por ser la región en la que los componentes utilizados son más genéricos para aumentar la versatilidad del sistema de salida. . En segundo lugar, la variación de la máxima frecuencia de operación del MLP es relativamente pequeña, inferior al 20%.

Dispositivo		Región de entrada (MHz)	Región MLP (MHz)	Región de salida (MHz)
Spartan-3AN	XC3S700AN	107	56	54
	XC3S1400AN	195	65	49
Spartan-3ADSP	XC3SD1800A	195	57	48
Spartan-3	XC3S1000	134	55	49
	XC3S1500	134	53	48
Spartan-3E	XC3S500E	177	66	45
	XC3S1600E	177	66	45

Tabla 6.5 Estudio de las regiones temporales variando los dispositivos programables de destino.

En la Tabla 6.6 se observa el estudio de los recursos hardware utilizado para cada uno de los dispositivos empleados. Dicho estudio implica que, como es lógico, no existen grandes diferencias en los diferentes modelos utilizados. Únicamente se aprecian diferencias significativas en el caso de la familia Spartan-3ADSP y en el número de slip-flops. Una posible razón es la diferencia de cores existente entre dicha familia y el resto. Mientras que en la familia Spartan-3ADSP dispone de DSPs como cores (que serán configurados como multiplicadores), el resto de familia dispone de multiplicadores como cores. Luego, puede que la memoria interna de los DSP sean utilizados en el diseño del prototipo.

Luego, la diferencia entre un modelo u otro tendrá influencia en el número de MLP que se pueden implementar en el mismo dispositivo.

Dispositivo		Bloques RAM	Multiplicadores	FFs	LUTs
Spartan-3AN	XC3S700AN	18/90%	16/80%	4437/37%	7614/64%
	XC3S1400AN	18/56%	16/50%	4437/19%	7623/33%
Spartan-3ADSP	XC3SD1800A	18/21%	16/19%	3989/11%	7734/23%
Spartan-3	XC3S1000	18/75%	16/66%	4437/28%	7613/49%
	XC3S1500	18/56%	16/50%	4437/16%	7564/28%
Spartan-3E	XC3S500E	18/90%	16/80%	4437/47%	7726/82%
	XC3S1600E	18/50%	16/44%	4437/13%	7728/26%

Tabla 6.6 Estudio de los recursos hardware variando los dispositivos programables de destino.

6.7 Conclusiones.

En este trabajo hemos presentado un método para el diseño y construcción de una electrónica back-end capaz de realizar análisis de forma de pulso con una ANN implementada en una FPGA. Estos dispositivos son interesantes debido a su flexibilidad y a su capacidad de programación, así como su resistencia a la radiación comparada con microprocesadores u otros dispositivos programables. De esta forma, la clasificación de los isótopos se puede realizar en línea, reduciendo la cantidad de datos a transferir y almacenar típicos de las técnicas PSA empleadas en experimentos de física nuclear.

La red neuronal utilizada pertenece a la categoría de perceptrón multicapa, y su diseño ha sido realizado en un modelo VHDL. Dicho modelo es configurable para su adaptación a las posibles variantes de los diferentes

experimentos. Los parámetros de configuración incluidos son la arquitectura del MLP (en el sentido del número de neuronas y su distribución en capas), los pesos de cada neurona, el número de muestras para recuperar una forma de pulso completa, y el formato numérico de los datos (el tamaño de la parte entera y decimal de los mismos).

Dicho modelo ha sido verificado en la discriminación de dos tipos de iones muy parecidos, y por tanto, con formas de onda muy parecidas. Los iones en cuestión son ^{12}C y ^{13}C , con niveles de energía muy similares cercanos a 100 MeV. La implementación del sistema realiza un análisis completo cada 20 μs , utilizando una señal de reloj de 50 MHz; alcanzando una tasa máxima de muestras de 258 MHz. Los resultados obtenidos con la implementación hardware han sido comparados con los resultados obtenidos a través de una solución software modelada en Matlab y ejecutada en un PC estándar. La comparación ha mostrado un elevado grado de concordancia entre ambas soluciones.

Finalmente, dicha implementación ha sido verificada físicamente utilizando una placa de desarrollo basada en el dispositivo Spartan-3AN700 con las siguientes consideraciones:

- Los procesos de colisión y digitalización de los datos han sido emulados mediante un controlador y un dispositivo de almacenamiento. Se han considerado diez pulsos diferentes que producen salidas características, ya sea porque son salidas nominales esperadas, o porque son valores diferentes de los esperados.

- En el mismo dispositivo FPGA se ha incluido el procesamiento digital destinado a PSA para ocho canales de datos.
- Se ha optado por un dispositivo versátil, en el sentido de que está compuesto básicamente por un microcontrolador. De esta forma se puede cambiar de dispositivo alterando únicamente el programa ejecutado, y por tanto, sin ninguna modificación en el hardware. Para nuestro caso particular, la salida va dirigida a un display LCD.

La verificación ha mostrado una adecuación completa a los resultados obtenidos mediante simulación y mediante software en todos los casos considerados.

Finalmente, la implementación del procesamiento PSA está siendo mejorada para aumentar el rango de partículas para las que pueda ser utilizada, limitada por la tasa de muestras de entrada. Aunque la tasa obtenida es válida para iones pesados, su utilización con la colisión de iones más ligeros no es viable ya que se necesita una tasa mayor. Se está estudiando el aumento de dicha tasa mediante la multiplexación de las muestras en el registro de entrada.

Otra limitación en la implementación actual es la necesidad de que la fase de entrenamiento sea realizada off-line con datos obtenidos en diferentes experimentos al que se lleva a cabo. También se está estudiando el desarrollo de una etapa de aprendizaje hardware, para que la fase de aprendizaje pueda ser realizado en el setup del experimento en cuestión. De esta forma, el MLP se adaptará mejor al propio experimento.

Capítulo 7

Conclusiones y líneas futuras de investigación

7.1 Conclusiones.

El presente trabajo de tesis pretende ser un punto de partida en el diseño e implementación electrónica para experimentos de física nuclear. Por un lado, se han diseñado bloques electrónicos discretos siguiendo las técnicas analógicas clásicas de acondicionamiento de señales procedentes de detectores de radiación con el objetivo de:

1. Evaluar el grado de optimización que se puede alcanzar mediante el empleo de componentes modernos en diseños clásicos.

2. Sentar las bases para futuros desarrollos de elementos más complejos.

Por otro lado, se han aplicado técnicas de reconocimiento de partículas a través de la forma del pulso mediante procesamiento digital con el empleo de redes neuronales artificiales implementadas en dispositivos lógicos programables (FPGA) con el fin de:

1. Validar la aplicación de estos algoritmos a casos prácticos.
2. Estudiar los límites de la tecnología aplicada al problema.

En la primera etapa de la cadena electrónica, se ha complementado el diseño clásico del amplificador de carga insertando un diferenciador no lineal para obtener la señal de temporización. Este diferenciador está basado en la carga de un condensador externo y ha demostrado una gran sensibilidad a la señal de entrada, generando señales de gran amplitud.

En el caso del shaper se han utilizado amplificadores operacionales de bajo consumo y alta velocidad. Se ha modelado de forma analítica un filtro casi-gaussiano y se ha implementado con topología Sallen-Key. Dicha topología permite optimizar el consumo de potencia al necesitar un solo amplificador operacional por cada sección de segundo orden. Además, se ha realizado un bucle de control no lineal activo cuando el pulso no está presente para mantener la línea de base fija frente a variaciones de la misma producida en experimentos de alta tasa de pulsos.

En el caso del discriminador de fracción constante se ha empleado una topología basada en un doble comparador con registro y se ha diseñado una

etapa de salida diferencial para adaptar las señales al estándar NIM. Las líneas de retardo integradas permiten unas temporizaciones precisas.

Tanto en el shaper como en el discriminador, se ha desarrollado un sistema de control remoto para ajustar en tiempo real sus principales parámetros de funcionamiento.

En cuanto al procesamiento digital, se ha estudiado la implementación de un sistema de identificación de partículas basado en la técnica de análisis de forma de pulso. Esta implementación está basada en el diseño de un MLP en una FPGA a través de un modelo VHDL configurable. Los parámetros de configuración (destinados a la adaptación del sistema a diferentes experimentos) son la arquitectura del MLP (en el sentido del número de neuronas y su distribución en capas), los pesos de cada neurona, el número de muestras para recuperar una forma de pulso completa, y el formato numérico de los datos (el tamaño de la parte entera y decimal de los mismos).

En esta tesis se han presentado varias contribuciones, tanto a nivel de diseño como experimental, al desarrollo de circuitos y sistemas electrónicos para el procesamiento de pulsos en aplicaciones de espectroscopia. Las principales aportaciones son:

- Un preamplificador de carga de topología compacta y optimizado en términos de consumo, que incluye, además de la salida de carga convencional, un diferenciador para la obtención de la señal de temporización basado en la medida de corriente de carga de un condensador.
- Un conformador de pulso casi-gaussiano versátil con sus parámetros controlados por computador. El diseño propuesto incluye las etapas de

amplificación, compensación polo-cero, filtrado paso alto, filtrado paso bajo y la etapa de salida. Además, se ha diseñado un nuevo esquema de restauración automática de la línea de base necesario en experimentos con alta tasa de pulsos.

- Un discriminador de fracción constante de bajo ruido, gran rango dinámico y bajo *walk time* y *jitter* con programación remota de sus principales parámetros.
- Se ha desarrollado un sistema para controlar de forma remota los parámetros lentos de los bloques analógicos que componen la cadena de instrumentación. El software está realizado de forma que se puede adaptar a diferentes módulos.
- Se ha propuesto un sistema de identificación de partículas basado en la forma del pulso mediante el empleo de redes neuronales implementadas en FPGA.

7.2 Líneas futuras de investigación.

Como nuevas líneas de investigación de interés que se abren a partir de este trabajo de tesis se pueden destacar las siguientes:

- Optimización y mejoras de los circuitos frente al ruido.
- Adaptación del control remoto a nuevos estándares de instrumentación nuclear, como EPICS.
- Desarrollo de nuevas técnicas para la implementación de módulos de temporización de forma digital, aprovechando la versatilidad y capacidad de las FPGAs.

- Obtención de nuevos métodos para adaptar la adquisición de señales a convertidores analógico/digital de alta velocidad y su muestreo para ser procesados en el entorno digital.
- Creación y diseño de filtros con mejores características en el dominio digital y su implementación en FPGA.
- Adaptación de la implementación del análisis de la forma de pulso digital a tasas de muestras de alta velocidad.
- Desarrollo de un bloque hardware de aprendizaje para obtener un conjunto de pesos más adecuados al experimento desarrollado en particular.

Referencias

- [Aga03] Technical proposal for the "Advanced GAMMA Tracking Array" proyecto (AGATA) , disponible en <http://agata.pd.infn.it/>.
- [Bar05] L. Bardelli, "Development of sampling and digital signal processing techniques with applications to Nuclear Physics detectors", Phd. Tesis, 2005.
- [Bar09a] S. Barlini et al. (FAZIA collaboration), "New digital techniques applied to A and Z identification using pulse shape discrimination of silicon detector current signals", *Nucl. Instr. and Meth.in Phys. Res. A* 600 (2009) 644.
- [Bar09b] L. Bardelli et al. (FAZIA collaboration), "A method for non-destructive resistivity mapping in silicon detectors ", *Nucl. Instr. and Meth.in Phys. Res. A* 602 (2009) 501
- [Bar09c] L. Bardelli et al., *Nucl. Inst. and Meth. A* 654 (2011) 272.
- [Ber66] M.Bertolaccini, C.Bussolati, and E.Gatti, *Nucl. Instr. and Meth.* 41 (1966) 173.

- [Beu90] E. Beuville, et al.: "AMPLEX, a low noise, low power analog CMOS signal processor for multielement silicon particle detector." *Nucl. Instr. Meth. A*, vol. 288, 1990, p. 157–167.
- [Bin03] M.Bini, et al., *Nucl. Instr. and Meth. A* 515 (2003) 497.
- [Bla66] J.L. Blankenship, C. H. Nowlin: "New concepts in nuclear pulse amplifier design." *IEEE Trans. Nucl. Sci.*, vol. 13, no. 3, 1966, p. 495–507.
- [Bro67] W.L. Brown, W.A. Higinbotham, G.L. Miller, R.L. Chase Ed. "Semiconductor nuclear-particle detectors and circuits." *NuclearScience Series Report 44, National Academy of Science, Washington DC, 1967.*
- [Cam46] N. R. Campbell, V. J. Francis, "A theory of value and circuit noise." *Journ. of the Institution of Electrical Engineers (IEE)*, vol. XCII, Part III, 45, 1946.
- [Cas00] G.Casini, et al., *Eur. Phys. J. A* 9 (2000) 491.
- [Cha67] R.L. Chase, L.R. Poulou: "A high precision DC restorer." *IEEE Trans. Nucl. Sci.*, vol. 14, no. 6, 1967, p. 83–88.
- [Cha68] R.L.Chase, *Rev.Sci.Intrum.* 38 (1968) 1318.
- [Cha90] Z. Y. Chang, W. Sansen: "Low-noise, wide-band amplifiers in bipolar and CMOS technologies." *Kluwer Academic, Boston, 1990.*

- [Cha91] Z.Y. Chang, W. Sansen: "Effect of 1/f noise on resolution of CMOS analog readout systems for microstrip and pixel detectors". *Nucl. Instr. and Meth. A*, vol. 305, 1991, p. 553–560.
- [Cha98] R. L. Chase, A. Hrisoho, J.-P. Richer: "8-channel CMOS preamplifier and shaper with adjustable peaking time and automatic pole-zero cancellation." *Nucl. Instr. and Meth. A*, vol. 409, 1998, p. 328–331.
- [Cio08] M. Ciobanu, N. Herrmann, K.D. Hildenbrand, T. I. Kang, M. Kis, A. Schüttauf. "A charge Sensitive Amplifier for Time and Energy Measurements", *In proceeding of: Nuclear Science Symposium Conference Record*, 2008.
- [Con09] P. O'Connor, V. Radeka: "Integrated circuit front ends for nuclear processing." *Short Cour-se. IEEE NSS and MIC*, Orlando, 2009.
- [Del99] M.A. Deleplanque et al., *Nucl. Instr. and Meth. A* 430 (1999) 292.
- [Ern11] Werner Erni, LNP, "a discrete charge Preamplifier for VPT/T(&APD) readout", *Preliminary Datasheet model SP883d*. 2011.
- [Eun02] Eung S. Shin, Vincent J. Mooney, III, George F. Riley; "Round-robin arbiter design and generation". *ISSS '02 Proceedings of the 15th international symposium on System Synthesis*, 243-248, 2002.
- [Eur09] Final Report EURISOL project (European Isotope Sep- aration On- Line Radioactive Ion Beam Facility), 2009
- [Eva82] R.D.Evans, *The Atomic Nucleus*, Krieger, 1982.

- [Fal07] A. Fallu-Labruyere, H. Tan, W. Hennig, and W.K. Warburton. "Time Resolution Studies using Digital Constant Fraction Discrimination". *Proceedings of the 11th Symposium on Radiation Measurements and Applications*. Vol. Volumen 579, no. 1, pp 247–251, Agosto 2007.
- [FAZ12] FAZIA collaboration data base. <http://fazia.in2p3.fr>. No publicado. 2012.
- [Flo12] J. L. Flores et al. "Application of neural networks to the identification of charged particles using digital pulse shape analysis of silicon detector current signals", 2012, Resultados no publicados.
- [Gat81] E. Gatti, P.F. Manfredi: "Processing the signals from solid-state detectors in elementary-particle physics." *Rivista del Nuovo Cimento*, vol. 9, no. 1, 1981, p. 1–146.
- [Gat90] E. Gatti, M. Sampietro, P. F. Manfredi: "Optimum filters for detector charge measurements in presence of 1/f noise." *Nucl. Instr. and Meth. A*, vol. 287, 1990, p. 513–520.
- [Ged67] D.A.Gedcke, W.J.McDonald, *Nucl. Instrum. Meth.* 55 (1967) 377.
- [Ger00a] G. De Geronimo, P. O'Connor, J. Grosholz: "A CMOS baseline holder (BLH) for readout ASICs." *IEEE Trans. Nucl. Sci.*, vol.47, no. 3, 2000, p. 818–822.
- [Ger00b] G. De Geronimo, P. O'Connor, J. Grosholz "A generation of CMOS readout ASICs for CZT detectors." *IEEE Trans. Nucl. Sci.*, vol.47, no. 6, 2000, p. 1857–1867.

- [Ger01] G. De Geronimo, P. O'Connor, V. Radeka, B.Yu: "Front-end electronics for imaging de-tectors." *Nucl. Instr. and Meth. A*, vol. 471, 2001, p. 192–199.
- [Ger05] G. De Geronimo, P. O'Connor: "MOSFET optimization in deep submicron technology for charge amplifiers." *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, 2005, p. 3223–3232.
- [Ger67] E.A. Gere, G.L. Miller: "Active D-C restoration in nuclear pulse spectrometry." *IEEE Trans. Nucl. Sci.*, vol. 14, no. 1, 1967, p. 89–95.
- [Ger99] G. De Geronimo, P. O'Connor: "A CMOS detector leakage current self-adaptable continuous reset system: Theoretical analysis." *Nucl. Instr. and Meth. A* vol. 421, 1999, p. 322–333.
- [Gou82] F. S. Goulding: "Signal-processing for semiconductor detector." *IEEE Trans. Nucl. Sci.*, vol. 29, no. 3, 1982, p. 1125–1141.
- [Gra01] P. R. Gray, P. J. Hurst, S.H. Lewis, R.G. Meyer: "Analysis and design of analog integrated circuits." 4th edn, *Wiley*, New York, 2001.
- [Gry07] P. Gryboś, P. Maj, R. Szczygieł: "Comparison of two pole-zero cancellation circuits for fast charge sensitive amplifier in CMOS technology", *Proceedings of the 14th International Conference Mixed Design of Integrated Circuits and Systems. MIXDES 2007*, Ciechocinek, Polonia, Junio 2007, p. 243–246.
- [Gry08] P. Gryboś, R. Szczygieł: "Pole-zero cancellation circuit with pile-up pulses tracking system for low noise charge-sensitive amplifier." *IEEE Trans. Nucl. Sci.*, vol. 55, no. 1, Febrero 2008, p. 583–590.

- [Gry10] Pawel Grybos, "Front-end Electronics for Multichannel Semiconductor Detector Systems". *Editorial Series on ACCELERATOR SCIENCE, Institute of Electronic Systems Warsaw University of Technology*. Warsaw 2010.
- [Gua11] Chiara Guazzoni, "Noise mechanisms in electronic devices: physical origin and circuit model". *Advanced School and Workshop on Nuclear Physics Signal Processing - Noviembre, 2011*.
- [Ham04] H. Hamrita et al., "Charge and current-sensitive preamplifiers for pulse shape discrimination techniques with silicon detectors". . *Nucl. Instr. and Meth.in Phys. Res. A* 531 (2004) 607.
- [Hel05] Helmuth Spieler. "Semiconductor Detector Systems". *Oxford University Press*, 2005.
- [IEC92] International Standard. "Nuclear Instrumentation – Amplifiers and preamplifiers used with detectors of ionizing radiation – Test Procedures." *Document CEI IEC 61151, IEC 1992*.
- [IEE88] IEEE Standard. "Test Procedures for Amplifiers and Preamplifiers used with Detectors of Ionizing Radiation." *IEEE Std 301-1988*
- [ISE00] ISE WebPack Design Software, disponible en <http://www.xilinx.com/tools/webpack.htm>
- [Jai00] Jain, A.K., Duin, R.P.W., Mao, J.: "Statistical Pattern Recognition: A Review". En: *IEEE Transactions on pattern analysis and machine intelligence*, vol. 22, no. 1, pp. 4-37. IEEE Press, New York (2000)

- [Ken06] Ken Chapman, "Initial Design for Spartan 3E Starter Kit, LCD display control", *Xilinx Notes*, 2006. Disponible en: http://www.xilinx.com/products/boards/s3estarter/files/s3esk_startup.pdf
- [Kle88] S. A. Kleinfelder, et al.: "A flexible 128 channel silicon strip detector instrumentation integrated circuit with sparse data readout." *IEEE Trans. Nucl. Sci.*, vol. 35, no. 1, 1988, p. 171–175.
- [Kno89] G.F.Knoll, "Radiation detection and measurement", *John Wiley & Sons*, 1989.
- [Kor00] K. Korbel: "Układy elektroniki front-end." *Uczelniane Wydawnictwa Naukowo-Dydaktyczne AGH*, Kraków, Poland 2000.
- [Kor92] K. Korbel, W. Dąbrowski: "Filtracja sygnału w spektrometrycznym torze pomiarowym. Filtry analogowe." *Skrypty Uczelniane* Nr. 1318, AGH, Kraków, Poland, 1992.
- [Kow70] E. Kowalsky, "Nuclear Electronics", *Springer-Verlag*, New York, 1970.
- [Koz76] J.J.Kozyczkowski and J.Bialkowski, *Nucl. Instrum. Meth.* 137 (1976) 75.
- [Les99] R.W. Lessard. "VERITAS: the Very Energetic Radiation Imaging Telescope Array System". *Astroparticle Physics*. Vol. 11, 243–246, 1999.
- [Lin08] Lin, C.W., Wang, J.S.: "A Digital Circuit Design of Hyperbolic Tangent Sigmoid Function for Neural Networks". *IEEE Int. Symposium on Circuits and Systems*, pp. 856 -859, IEEE Press, New York (2008)

- [Lou05]** Lourakis, M.I.A., "A Brief Description of the Levenberg-Marquardt Algorithm Implemented by levmar" 2005, disponible en:
<http://www.ics.forth.gr/~lourakis/levmar/levmar.pdf>
- [Mid60]** D. Middleton: "An introduction to statistical communication theory." *MCGraw-Hill*, New York, 1960.
- [Neu00]** Neural Network Toolbox, disponible en :
<http://www.mathworks.com/products/neuralnet/>
- [Nic74]** P.W.Nicholson, "Nuclear Electronics", *Wiley*, London, 1974.
- [Now65]** C. H. Nowlin, J.L. Blankenship: "Elimination of undesirable undershoot in the operation and testing of nuclear pulse amplifier." *Review of Scientific Instruments*, vol. 36, 1965, p. 1830–1839.
- [Now70]** C. H. Nowlin W.: "Pulse shaping for nuclear pulse amplifier." *IEEE Trans. Nucl. Sci.*, vol. 17, no. 1, 1970, p. 226–241
- [Nup02]** Radioactive Nuclear Beam Facilities, report NuPECC, abril 2002.
- [Nup04]** NuPECC Long Range Plan 2004: Perspectives for Nuclear Physics Research in Europe in the Coming Decade and Beyond, disponible en: www.nupecc.org/lrp02/ report NuPECC, Diciembre 2004.
- [Ohk76]** S. Ohkawa, M. Yoshizawa, K. Husimi: "Direct synthesis of the Gaussian filter for nuclear pulse amplifiers." *Nucl. Instr. and Meth.*, vol. 138, 1976, p. 85–92.

- [ORT00a] "Fast Timing Discriminator Introduction" ORTEC Technical Reference. Disponible en: <http://www.ortec-online.com/download/Fast-Timing-Discriminator-Introduction.pdf>
- [ORT00b] "Introduction to Amplifiers". ORTEC Technical Reference. Disponible en: <http://www.ortec-online.com/download/amplifier-introduction.pdf>
- [Pan04] Pandola, L., Cattadori, C., Ferrari, N.: "Neural network pulse shape analysis for proportional counters events". *Nuclear Instruments and Methods in Physics Research, sec. A*, vol. 522, pp. 521-528. Elsevier (2004).
- [Pan08] Technical Design Report for: PANDA Electromagnetic Calorimeter (EMC). Panda (AntiProton Annihilations at Darmstadt) Colaboration. Oct. 2008.
- [Par10] M. Parlog et al. (FAZIA collaboration), *Nucl. Instr. and Meth.in Phys. Res. A* 613 (2010) 290.
- [Pau94] G. Pausch et al., *Nucl. Instr. and Meth.in Phys. Res. A* 337 (1994) 573.
- [Pia02] S.Piantelli, et al., *Phys. Rev. Lett.* 88 (2002) 052701.
- [Pic00] PicoBlaze 8-bit Embedded Microcontroller User Guide, disponible en: http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf

- [Pul05] A. Pullia, D. Maiocchi, G. Bertuccio, S. Caccia: "A compact VLSI dc restorer for mul-tichannel X- γ ray detectors." *IEEE Trans. Nucl. Sci.*, vol. 52, no. 5, 2005, p. 1643–1646.
- [Rad67] V. Radeka: "The effects of baseline restoration on signal-to-noise ratio in pulse amplitude measurements." *Rev.Sci. Instr.* vol. 38, 1967, p. 1397–1403.
- [Rad68] V. Radeka: "Optimum signal-processing for pulse-amplitude spectrometry in the presence of high-rate effects and noise." *IEEE Trans. Nucl. Sci.*, vol. 15, no. 3, 1968, p. 455–470.
- [Rib02] S. Riboldi, A. Geraci, E. Gatti, G. Ripamonti: "A new digital auto-tracking pole-zero com-pensation technique for high resolution spectroscopy." *Nucl. Instr. and Meth. A* vol. 482, 2002, p. 475–490.
- [Rob61] L.B. Robinson: "Reduction of baseline shift in pulse amplitude measurement." *Rev. Sci. Instr.* vol. 32, 1961, p. 1057.
- [Rob74] F.N.H.Robinson, "Noise and fluctuations in electronic devices and circuits", *Clarendon Press*, 1974.
- [San90] W. Sansen, Z.Y. Chang: "Limits on low noise performance of detector readout front ends in CMOS technology." *IEEE Trans. Circuits and Systems*, vol. 37, no. 11, 1990, p. 1375–1382
- [Spa00] Spartan-3AN FPGA Family Data Sheet, disponible en:
http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf
- [Spa01] Spartan-2AN FPGA StarterKit Board Manual, disponible en:
http://www.xilinx.com/support/documentation/boards_and_kits/ug334.pdf

- [Spi02]** Helmuth Spieler. "Pulse Processing and Analysis". *IEEE NPSS Short Course. Radiation Detection and Measurement. 2002 Nuclear Science Symposium* Norfolk, Virginia, Noviembre 2002.
- [Ste05]** W. Erni, M. Steinacher, "Univ. Basel, in PANDA Technical Progress Report", Feb. 2005.
- [Wal84]** J. T. Walker, S. Parker, B. Hyams, S.L. Shapiro: "Development of high density readout for silicon strip detectors." *Nucl. Instr. and Meth. A*, vol. 226, 1984, p. 200–203.
- [Zoc08]** F. Zocca, A. Pullia, and G. Pascovici, "Design and Optimization of Low-Noise Wide-Bandwidth Charge Preamplifiers for High Purity Germanium Detectors", *IEEE Transactions on Nuclear Science*, Vol. 55, No. 2, April 2008.

Publicaciones

Artículos en revistas internacionales

1. R. Jiménez, **M. Sánchez-Raya**, J.A. Gómez-Galán, J.L. Flores, J.A. Dueñas, I. Martel. "Implementation of a neural network for digital pulse shape analysis on a FPGA for on-line identification of heavy ions". *Nuclear Instruments and Methods in Physics Research A*, Vol. 674, pp 99-104, May 2012.
2. J.A. Gómez-Galán, R. López-Ahumada, T. Sánchez-Rodríguez, **M. Sánchez-Raya**, R. Jiménez, I. Martel. "High speed low power FEE for silicon detectors in nuclear physics applications". *Nuclear Instruments and Methods in Physics Research A*. Volume 714, pp 155–162, June 2013.
3. R. Jiménez Naharro, J. A. Gómez-Galán, **M. Sánchez-Raya**, F. Gómez-Bravo and M. Pedro-Carrasco, "Design and Implementation of a New Real-Time Frequency Sensor Used as Hardware Countermeasure", *Sensors*, vol. 13, pp. 11709-11727, Septiembre 2013.

4. J. Galán, R. López-Ahumada, T. Sánchez-Rodríguez, **M. Sánchez-Raya**, I. Martel and R. Jiménez, "Low power low noise high speed tunable CMOS radiation detection system", *Microelectronics Journal*, aceptado para publicación en 2013.

Comunicaciones en congresos internacionales

1. I. Martel, L. Acosta, J.A. Gómez-Galán, A. Sánchez-Benítez, J. Dueñas, R. Jiménez-Naharro, **M. Sánchez-Raya**, M. Márquez and A. Bergillos, "Design and Construction of Innovative Detector System for Particle Spectroscopy using Accelerated Radioactive Beams", *International Particle Accelerator Conference, IPAC 2011 (Special Session of Spanish Science Industry, Particle Physics)*, San Sebastián, (España), 4-9 Sept. 2011.
2. R. Jimenez, G. Feria, **M. Sánchez-Raya**, J. Galan, F. Gomez "FPGA implementation of hardware countermeasures". *VIII Southern Conference on Programmable Logic (SPL)*, pp 1-6, Marzo 2012.
3. R. López-Ahumada, T. Sánchez-Rodríguez, J Galán, **M. Sánchez-Raya**, R. Jiménez. "High speed low power front-end system with adjustable peaking time for silicon detectors". *Proceedings of DCIS 2012: XXVII conference on design of circuits and integrated*, pp. 84-88, Noviembre 2012.
4. R. Jiménez, G. Feria, J.A. Gómez Galán, F. Gómez-Bravo, **M. Sánchez-Raya**, "VLSI Implementation of Digital Frequency Sensors as Hardware Countermeasure", *19th IEEE International Conference on Electronics, Circuits, and Systems, ICECS 2012*, pp. 384-387, Sevilla (España), 9-12 Dic. 2012.
5. R. Jiménez, **M. Sánchez-Raya**, T. Sánchez-Rodríguez, C. Rubia-Marcos and J. Galán, "FPGA-Based Implementation of a Real-Time Timing Measuring Device", *21th European Conference on Circuit Theory and Design, ECCTD 2013*, Dresden, (Alemania), 08-12 Sept. 2013.

Anexo 1: Contribuciones al ruido del preamplificador

La principal contribución de ruido de un sistema *front-end* proviene del propio detector y de componentes del amplificador sensible a la carga. El modelo de ruido simplificado del detector y el preamplificador se muestra en la Figura A1.1.

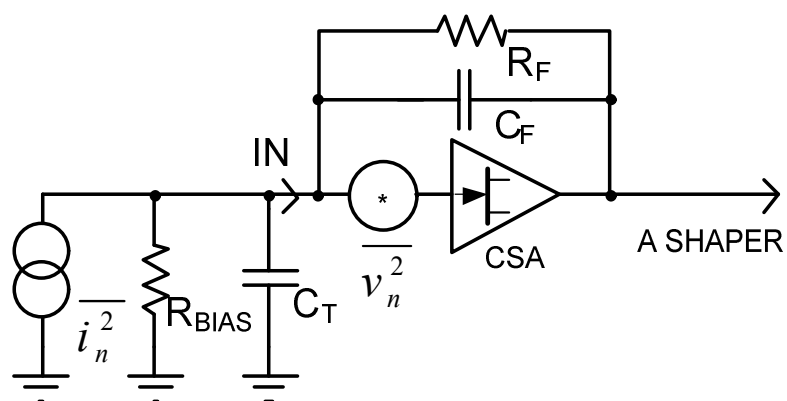


Figura A1.1. Esquema de ruido equivalente del preamplificador de carga (CSA).

Las características de ruido de este sistema se pueden analizar empleando las fuentes de ruido equivalentes de entrada de voltaje y corriente

Tenemos una corriente de ruido asociada con la corriente de fuga del detector I_{det} , la resistencia de polarización del detector R_{bias} (sólo en el caso de detector acoplado en AC) y la resistencia de realimentación efectiva R_F del CSA, de forma que la densidad espectral de potencia viene dada por:

$$\frac{\langle di_n^2 \rangle}{df} = 2qI_{\text{det}} + \frac{4kT}{R_{\text{bias}}} + \frac{4kT}{R_F} = a \quad (\text{A1.1})$$

donde k es la constante de Boltzman, T es la temperatura en grados kelvin y q es la carga del electrón.

En un preamplificador bien diseñado el ruido está dominado por el transistor de entrada. En el caso de emplear transistores JFET o MOSFET discretos en el preamplificador, el ruido del transistor de entrada se puede expresar como [San90]:

$$\frac{\langle dv_n^2 \rangle}{df} = 4kT \frac{\gamma_n}{g_{m1}} + \frac{K_f}{C_{\text{ox}}^2} \frac{1}{WL} \frac{1}{f} \quad (\text{A1.2})$$

donde k es la constante de Boltzman, T es la temperatura en grados kelvin, g_m es la transconductancia del transistor, el parámetro γ_n varía según el punto de polarización del transistor, desde 1/2 (inversión débil) a 2/3 (fuerte inversión), C_{ox} es la capacidad del óxido de puerta por área, W y L son el tamaño ancho y largo del transistor de entrada, K_f es el coeficiente de ruido flicker y f es la frecuencia.

Si despreciamos los efectos de canal corto, la ecuación anterior se puede simplificar:

$$\frac{\langle dv_n^2 \rangle}{df} = b + \frac{A_f}{f} \quad (\text{A1.3})$$

donde las constantes b y A_f son las responsables del ruido térmico y flicker, respectivamente.

Si las fuentes de ruido no están correlacionadas, como suele suceder en la práctica, se puede calcular su contribución a la salida del preamplificador de carga (CSA) de forma independiente. La corriente de ruido en paralelo está multiplicada por el cuadrado del módulo de la función de transferencia del preamplificador, y de esta forma queda:

$$\frac{\langle dv_{CSA_paralelo}^2 \rangle}{df} = \frac{a}{\omega^2 C_F^2} = \frac{a}{(2\pi f C_F)^2} \quad (\text{A1.4})$$

Para transferir el ruido del amplificador a la salida del CSA vamos a observar primero la relación entre tensión de entrada al CSA y tensión de salida del CSA (para el caso ideal), que viene dado por el divisor de impedancia

$$\frac{v_{in}}{v_{out}} = \frac{1/sC_T}{1/sC_T + 1/sC_F} = \frac{C_F}{C_T + C_F} \quad (\text{A1.5})$$

La propia puerta del transistor de entrada funciona como tierra virtual, y por tanto, el ruido serie en la salida del CSA es:

$$\frac{\langle dv_{CSAout_series}^2 \rangle}{df} = \left(b + \frac{A_f}{f} \right) \left(\frac{C_T + C_F}{C_F} \right)^2 \quad (\text{A1.6})$$

El ruido total a la salida del CSA es la suma de las ecuaciones (A1.4) y (A1.6).

$$\frac{\langle dv_{CSAout}^2 \rangle}{df} = \frac{a}{(2\pi f C_F)^2} + \left(b + \frac{A_f}{f} \right) \left(\frac{C_T + C_F}{C_F} \right)^2 \quad (\text{A1.7})$$

El ruido a la salida del preamplificador resulta filtrado por la siguiente etapa, que es el shaper o conformador de pulso. Para una ganancia del preamplificador suficientemente alta y con un diseño cuidadoso de la etapa de conformado de pulso, el ruido generado por el shaper puede llegar a ser despreciable.

Para el análisis de ruido vamos a considerar que el shaper está formado por un simple filtro CR-RC (con constantes de tiempo idénticas $\tau_i = \tau_d = \tau$) donde el tiempo de pico es igual a la constante del filtro $t_p = \tau$. El módulo de su función de transferencia viene dado por:

$$|H(2\pi f)| = \frac{2\pi f t_p}{1 + (2\pi f t_p)^2} \quad (\text{A1.8})$$

El valor *rms* del ruido a la salida del filtro con el anterior razonamiento puede calcularse como:

$$\langle dv_{SHout}^2 \rangle = \int_0^\infty \left[\frac{a}{(2\pi f C_F)^2} + \left(b + \frac{A_F}{f} \right) \left(\frac{C_T + C_F}{C_F} \right)^2 \right] \left(\frac{2\pi f t_p}{1 + (2\pi f t_p)^2} \right)^2 df \quad (\text{A1.9})$$

La solución de la anterior integral viene dada por la siguiente ecuación [Kor00]:

$$\langle dv_{SHout}^2 \rangle = \frac{1}{C_F^2} \left[\frac{a t_p}{8} + (C_F + C_T)^2 \left(\frac{b}{8 t_p} + \frac{A_F}{2} \right) \right] \quad (\text{A1.10})$$

En la electrónica de la etapa de entrada, el ruido de la salida del conformador de pulsos se recalcula para la entrada del preamplificador de forma que se tiene el ruido equivalente a la entrada del mismo.

Debido a que la señal de entrada es un pulso de carga, el ruido calculado para la entrada del CSA se expresa como ruido equivalente de la carga, *ENC* (*Equivalent Noise Charge*). El *ENC* es igual a la señal en el detector que ofrece una

relación señal ruido de 1. El *ENC* se expresa en electrones, culombios o energía equivalente (eV) depositada en el detector.

Para calcular en *ENC* necesitamos conocer la ganancia de la cadena CSA-conformador de pulsos. A la salida del CSA el escalón de señal es igual a Q_{in} / C_F y a la salida del conformador de pulsos la amplitud del pico es proporcional a la carga Q_{in} generada en el detector. En la práctica, el *ENC* del sistema del detector se calcula como la relación entre el ruido *rms* total integrado a la salida del conformador de pulso y la amplitud de pico (a la salida del conformador de pulso) para una carga de entrada Q_{in} de 1 electrón (1.602×10^{-19} C).

$$ENC = \frac{\sqrt{\langle dv_{SHout}^2 \rangle}}{v_{SH \max}(Q_{in} = 1 \text{ electron})} \quad (\text{A1.11})$$

En el caso del filtro simple CR-RC analizado anteriormente, la señal de salida en el dominio del tiempo (según ecuaciones (3.2) y (3.3)) viene dada por:

$$v_{out} = v_{SH \max} \frac{t}{t_p} e^{-\frac{t}{t_p}} \quad (\text{A1.12})$$

Con amplitud de pico:

$$v_{SH \max}(Q_{in} = 1 \text{ electron}) = \frac{1}{e^1 C_F} \quad (\text{A1.13})$$

Usando los resultados de las ecuaciones (A.10), (A.11) y (A.13), el *ENC* viene dado por:

$$ENC^2 = e^2 \left[\frac{at_p}{8} + (C_F + C_T)^2 \left(\frac{b}{8t_p} + \frac{A_F}{2} \right) \right] \quad (\text{A.14})$$

Para analizar los resultados obtenidos vamos a dividir las ecuaciones anteriores en tres componentes: ENC_i debido al componente de ruido de la

corriente en paralelo (ecuación (A1.1)), ENC_w debido al componente de ruido térmico (el primer término en ecuaciones (A1.2) y (A1.3)) y ENC_f debido a la componente de ruido flicker (el segundo término en ecuaciones (A1.2) y (A1.3))

$$ENC^2 = ENC_i^2 + ENC_w^2 + ENC_f^2 \quad (A1.15)$$

donde:

$$\begin{aligned} ENC_i^2 &= \frac{e^2}{8} t_p a \\ ENC_w^2 &= \frac{e^2}{8} \frac{(C_F + C_T)^2}{t_p} b \\ ENC_f^2 &= \frac{e^2}{2} (C_F + C_T)^2 A_F \end{aligned} \quad (A1.16)$$

Sobre las fórmulas (A.16) podemos hacer tres observaciones inmediatas que son importantes para la optimización del circuito de la etapa de entrada:

- La contribución del ruido asociado a la corriente leakage del detector, a la resistencia R_{bias} y a la resistencia de realimentación R_F , ENC_i^2 es independiente de la capacidad de entrada $(C_F + C_T)$ y proporcional a la raíz cuadrada del tiempo de pico.
- La contribución del ruido térmico ENC_w^2 es proporcional a la capacidad total de entrada e inversamente proporcional a la raíz cuadrada del tiempo de pico.
- La contribución del ruido flicker ENC_f^2 es proporcional a la capacidad total de entrada e independiente del tiempo de pico.

Ahora podemos optimizar la etapa de entrada teniendo en cuenta varios requerimientos y restricciones implicadas por una aplicación en particular. Hay

dos parámetros determinados por la geometría del detector: capacidad del detector y corriente de fuga del detector. Ambos parámetros son proporcionales al área del detector e influyen directamente en la resolución del sistema.

Además, la corriente de fuga del detector es dependiente de la temperatura, por lo que reducir la temperatura es la forma de reducir la corriente de fuga y el ruido asociado. De las fórmulas (A1.1)-(A1.16) resulta obvio que los valores de las resistencias de polarización R_{bias} y de realimentación R_F deben ser relativamente altos (en el rango de las decenas o las centenas de $M\Omega$ dependiendo de t_p) para que no contribuyan al ruido. En el caso de R_F , la situación es más compleja, porque el alto valor de esta resistencia limita el rendimiento a altas tasas de llegada de partículas de la cadena de procesamiento de la señal.

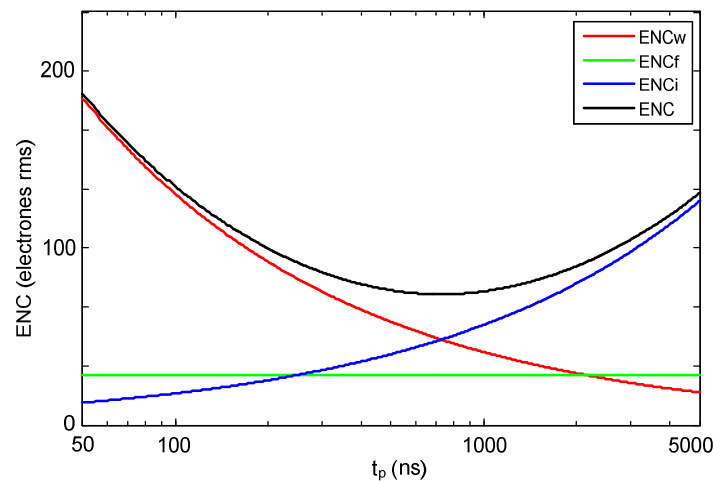


Figura A1.2. Contribución de diferentes componentes de ruido al ruido total ENC frente al tiempo de pico.

El siguiente parámetro que debe considerarse como entrada a las fórmulas (A1.14)-(A1.16) es el tiempo de pico t_p . Cuando no hay restricciones al tiempo de pico, como sucede en experimentos con baja tasa de pulsos, podemos encontrar el tiempo de pico óptimo (que ofrece el mínimo ENC) para otros

parámetros dados, como la capacidad del detector o las densidades espectrales de voltaje y corriente de ruido [Cha91], [Ger05], [Gat90]. Sin embargo, en muchas aplicaciones una alta tasa de llegada de partículas es un requerimiento serio que debe tenerse en cuenta como una limitación del tiempo de pico máximo permitido.

Puede realizarse un análisis similar al realizado con el filtro RC-CR para cualquier tipo de filtro. De forma general las ecuaciones (A1.16) pueden escribirse como:

$$\begin{aligned}
 ENC_i^2 &= F_i t_p \times a \\
 ENC_w^2 &= F_v \frac{(C_F + C_T)^2}{t_p} \times b \\
 ENC_f^2 &= F_{vf} (C_F + C_T)^2 \times A_F
 \end{aligned} \tag{A1.17}$$

donde las constantes F_i , F_v , F_{vf} para los filtros semi-gaussianos analizados antes se pueden resumir en la Tabla A1.1.

Tipo de Filtro	F_i	F_v	F_{vf}
CR-RC	0.92	0.92	3.70
CR-(RC) ²	0.64	0.85	3.41
CR-(RC) ³	0.52	0.93	3.32
CR-(RC) ⁵	0.40	1.11	3.25
CR-(RC) ⁷	0.34	1.27	3.22
(CR) ² -RC	1.00	1.03	4.70
(CR) ² -(RC) ²	0.72	1.16	4.89
(CR) ² -(RC) ³	0.60	1.44	5.12
(CR) ² -(RC) ⁵	0.48	2.00	5.49
(CR) ² -(RC) ⁷	0.41	2.52	5.75

Tabla A1.1. Coeficientes de ruido para diferentes tipos de filtros.

De la anterior tabla podemos extraer las siguientes consideraciones:

- En el caso de los filtros de tipo CR-(RC)ⁿ, los de mayor orden (más apropiados para aplicaciones de alta tasa de llegada) tienen mejor características de ruido. Sin embargo, estos filtros requieren más componentes y un mayor consumo de potencia.
- Los filtros unipolares de tipo CR-(RC)ⁿ tienen mejores coeficientes de ruido que los filtros bipolares (CR)²-(RC)ⁿ, sin embargo, los filtros bipolares tienen ventajas únicas que los hacen especialmente interesantes para aplicaciones de temporización.

Hay que mencionar que hay una teoría de filtrado óptimo para un espectro de señal dado con ruido blanco [Mid60]; sin embargo, este filtro no es físicamente realizable.

Anexo 2: Diseño del software del sistema de control

2.1 Placa de control.

Esta placa realiza las tareas de control de los convertidores analógico-digitales, comunicación con la placa de interfaz de usuario y también tiene implementado el código necesario para el control de parámetros de forma remota mediante ordenador, para realizar tareas de control y calibración.

2.1.1 Estructura del programa.

Las tareas de la placa de control consisten principalmente en transferencia y la transformación de datos, que de forma detallada son:

- Gestiona la transferencia de datos hacia la placa del display, de donde recibe los valores introducidos por el usuario.
- Maneja la transferencia de datos hacia la memoria EEPROM externa, donde se guardan los valores de calibración y otros datos que tienen que ser no volátiles.

- Transforma los valores introducidos por el usuario en entradas adecuadas para los convertidores digital-analógicos, mediante un proceso de interpolación que emplea los puntos de calibración guardados.
- Gestiona un intérprete de comandos, que permite realizar distintas acciones sobre la placa de control a través del ordenador de forma remota.

El diagrama de la Figura A2.1 representa al sistema de forma simplificada.

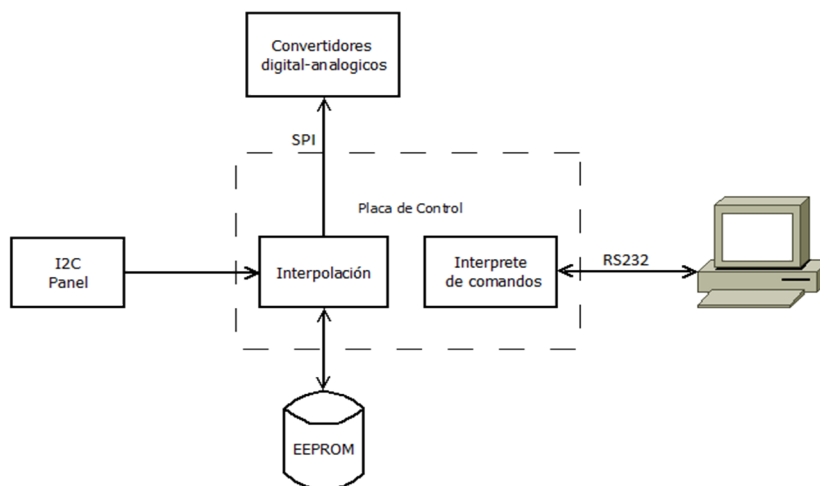


Figura A2.1. Diagrama de ubicación de la placa de control.

Para realizar cada una de las tareas mencionadas anteriormente se necesitan múltiples elementos de control dedicados, organizados en librerías. A continuación, se explicará la construcción del programa por bloques dedicados a cada elemento a controlar.

2.1.2 Comunicación serie.

La librería *serial.c* contiene las funciones necesarias para configurar y realizar la transferencia de datos hacia el ordenador, empleando el puerto serie.

De forma simplificada, el diagrama del bloque del sistema que realiza dicha comunicación está representado en la Figura A2.2.

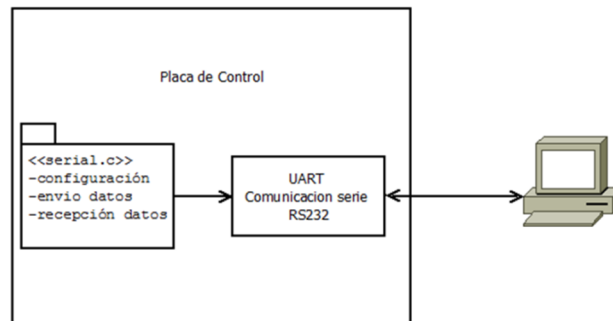


Figura A2.2. Diagrama de ubicación de la placa de control.

Dado que se desea implementar un control remoto de la placa utilizando comunicación serie a través del estándar RS422, el microcontrolador utiliza su módulo dedicado USART conectado al convertor de niveles MAX489E, que realiza la conversión RS232 con nivel TTL a RS422.

Las funciones específicas para realizar esta comunicación están escritas en el fichero *serial.c*. Las funciones desarrolladas realizan la configuración del módulo USART, proceso de limpieza de errores acumulados, si fuese el caso, y procesos de lectura y escritura de datos en distintos formatos. La configuración de la velocidad de transmisión se realiza mediante la función “*serial_init*”.

2.1.3 Comunicación SPI.

La placa de control necesita generar las salidas para varios convertidores digital-analógicos que controlan elementos externos. El componente elegido para el convertidor es el AD5722, de 12 bits con doble salida. El protocolo de comunicación que emplea este convertidor es el SPI. Para ello, se ha desarrollado una librería (*ad5722.c*) que contiene funciones de configuración del módulo SSP (*Synchronous Serial Port*), transmisión y recepción de datos.

La Figura A2.3 muestra un diagrama de forma simplificada de este bloque del sistema.

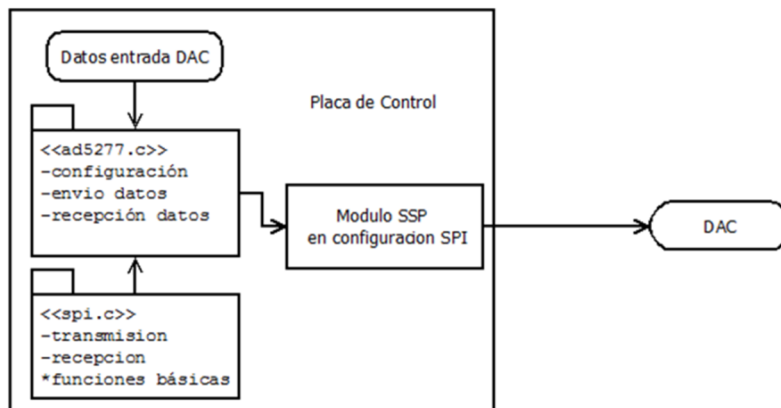


Figura A2.3. Diagrama de control de los convertidores D/A.

La comunicación se realiza usando un registro de desplazamiento de entrada (*Input Shift Register*) de 24 bits controlado por una entrada de reloj externa, SCLK. Los bits del registro corresponden a un bit de lectura/escritura, tres bits de selección de registro, tres bits de selección de dirección del convertidor D/A (DAC), y 16 bits de datos.

Un proceso completo de escritura en el registro de desplazamiento consiste en los siguientes pasos:

- Se pone a 1 la entrada SYNC del DAC (mediante RC2), luego se pone a 0 para empezar a transmitir.
- Se envían 3 bytes de dato hacia el chip.
- Se pone la línea SYNC a 1, determinando la carga de los datos del registro de desplazamiento en el DAC seleccionado.

El convertidor empleado admite conexión en “*Daisy-Chain*”, permitiendo la conexión de varios DAC usando la misma línea de datos. En la Figura A2.4 se muestra una forma de conectar varios dispositivos en serie.

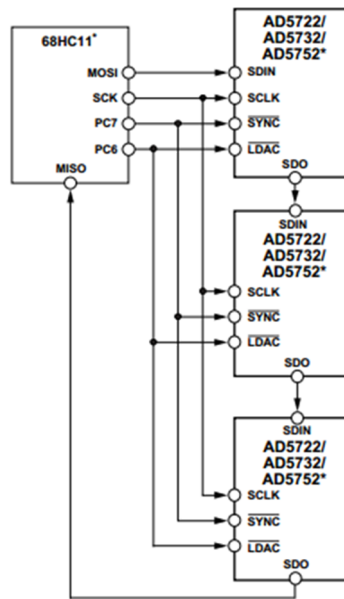


Figura A2.4. Conexión en "Daisy chain" de varios convertidores.

Si después de enviar 24 bits a través de la línea de salida de datos del microcontrolador, no se pone la señal SYNC a 1, y se siguen enviando datos, la información sale del registro de desplazamiento a través de la línea SDO (*Serial Data Out*). Conectando la salida de datos de un DAC a la entrada del siguiente, y aplicando las mismas señales de reloj a todos los dispositivos interconectados, se pueden transmitir los datos de un registro al siguiente. De esta forma, se pueden cargar varios convertidores a la vez.

Una vez enviados $24 \times N$ bits de datos, siendo N el número de convertidores conectados en la cadena, se pone la señal SYNC a 1, lo que hace que la información presente en los registros de desplazamiento pase a los registros internos de los convertidores. Como se puede observar, la salida del último convertidor de la cadena se puede conectar al microcontrolador para así poder monitorizar la transferencia.

2.1.4 Configuración del convertidor D/A.

Se ha desarrollado una librería especial para utilizar el DAC, ya que se necesita configurar de forma adecuada, y también diferenciar entre los dos convertidores incluidos en el chip. El código fuente de la librería está contenido en *ad5722.c*, y utiliza como base las funciones contenidas en *spi.c*.

La función *ad5722_init* se utiliza para la configuración inicial del convertidor, cargando en el registro *Power Control Register* la configuración que habilita los convertidores, y después la configuración adecuada para limpiar los registros internos. Después se cargan en los convertidores los valores guardados en la memoria EEPROM, que corresponden a los valores que se aplicaron para obtener la última salida.

Una vez que ha comenzado el funcionamiento normal, los valores del convertidor se cambian usando la función *ad5722_dac*, que se utiliza para cargar nuevos valores.

2.1.5 Funciones de bajo nivel

Las funciones desarrolladas para la comunicación SPI con el AD5722 emplean el módulo SSP del PIC16, lo que hace que sean muy simples y de tamaño reducido, también facilitando las tareas del microcontrolador.

La función *spi_init* inicializa el módulo SSP, *spi_write* se utiliza para enviar un byte, mientras que *spi_write24* sirve para enviar 3 bytes de datos, tal y como es necesario para los convertidores conectados en "Daisy chain".

Al emplear el módulo SSP del PIC16, el tamaño de las funciones se reduce considerablemente.

2.1.6 Memoria EEPROM.

Dado que la memoria no volátil interna incluida en el microcontrolador es bastante reducida, la placa de control incorpora una memoria EEPROM para guardar datos, sobre todo, datos de calibración.

Para la comunicación con dicha memoria se utiliza el protocolo I2C. El microcontrolador incorpora un solo módulo SSP, que puede ser utilizado tanto para la comunicación serie I2C como SPI. Pero debido a que ya se está utilizando en modo SPI para comunicarse con el convertidor digital-analógico, las librerías desarrolladas utilizan el método “bit-bang” para la transmisión de datos. Este método tiene la ventaja de que puede realizarse empleando varios puertos de E/S distintos, pero presenta el inconveniente de que las funciones de envío y recepción de datos ocupan mayor espacio y tiempo del procesador.

La librería que contiene las funciones que realizan transferencia de datos, tanto generalizada en modo I2C como específica para la memoria EEPROM, están contenidas en el fichero *mem.c*. Las funciones creadas generan comandos específicos del protocolo I2C, como la señal de *start*, *stop* o *acknowledge*, transmisión y recepción de datos en tamaño byte o entero, pero también hay funciones de más alto nivel que guardan o recuperan los valores en los convertidores, o información generada en el proceso de calibración.

2.1.7 Intérprete de comandos.

Para interactuar con la placa de control se ha desarrollado un intérprete de comandos muy simple que utiliza las funciones contenidas en *interprete.c*.

Las funciones desarrolladas cubren las opciones que el usuario puede configurar, es decir, el proceso de personalización del software, el proceso de calibración y test, y además, se pueden ampliar si fuera necesario.

De una forma muy simplificada, podemos decir que las funciones del intérprete de comandos envían cadenas de texto predefinidas, y después, leen e interpretan cadenas de texto que representan la respuesta del usuario. A continuación, se ofrece una breve explicación de las tareas realizadas por cada función:

- **es_delim:** procesa un carácter para determinar si es un delimitador.
- **ayuda:** solamente muestra por pantalla los posibles comandos.
- **status:** muestra por pantalla los valores actuales en los convertidores.
- **obt_token:** interpreta la cadena de caracteres recibidos.
- **dac_change:** interpreta una variable que contiene un valor como cadena de caracteres y obtiene un valor numérico, actualizando el DAC correspondiente con ese valor
- **eje_comand:** maneja de forma apropiada a las funciones anteriores para realizar la comunicación con el usuario, asegurándose de que la respuesta del microcontrolador es la adecuada.

2.1.8 Comunicación I2C con la placa interfaz de usuario.

Mientras que en la placa del display se configura el módulo dedicado SSP para comunicación I2C, en la placa de control dicho módulo ya está configurado para comunicación SPI, como ya se ha comentado. Por esta razón, la comunicación con la placa del display emplea las mismas funciones de comunicación I2C que se utilizan para la comunicación con la EEPROM externa, mediante el método bit-bang.

Se han desarrollado tres funciones específicas para la comunicación con la placa del display:

- La función **extern_slave_init** configura los registros necesarios para habilitar la interrupción externa en el pin RB0. Esta interrupción se utiliza para saber si hay cambios en alguna variable del panel haciéndose una lectura de su valor actual. El panel es el módulo esclavo.
- **to_disp_write** realiza una escritura hacia la placa display. Se utiliza para configurar las variables locales, y el proceso de escritura consiste en enviar la variable a modificar, los límites máximo y mínimo, el valor actual y el tipo de variable.
- **from_disp_read** se utiliza para realizar una lectura desde la placa display. Se recibe el índice de la variable y el valor actual, que se utilizan para modificar el convertidor D/A correspondiente.

2.1.9 Conversión de datos de entrada.

En el sistema que se está diseñando, la información se recibe en valores decimales por parte del operador, y se necesita realizar una conversión apropiada para transferir dichos valores a los convertidores D/A. Esta conversión se trata de una tabla de interpolación lineal resultante del proceso de calibración.

Antes de ser utilizados, los equipos o bloques analógicos desarrollados, esto es, shaper y discriminador de fracción constante, necesitan pasar por un proceso de calibración, donde se obtiene un vector con los valores cargados en los convertidores D/A para obtener determinadas salidas.

Cuando se pasa al funcionamiento normal, para una determinada entrada, se necesita obtener el intervalo de valores de calibración al que pertenece dicha entrada. Una vez hallado el intervalo, se utilizarán los valores en los extremos para calcular el valor a cargar en el convertidor D/A.

Este proceso de conversión está siendo realizado por la función **convert** de *interpola.c*. La función tiene como parámetros de entrada el valor de entrada desde la placa display y una variable tipo **struct calib_data** que contiene los valores de calibración, extremos y números de puntos de calibración empleados para el convertidor D/A en cuestión.

En primer lugar se necesita determinar el intervalo de valores donde se encuentra la entrada, y también discriminar si se trata de un extremo del intervalo (en cuyo caso la salida es uno de los puntos de calibración) o de un punto intermedio. La grafica de la Figura A2.5 pretende clarificar el procedimiento.

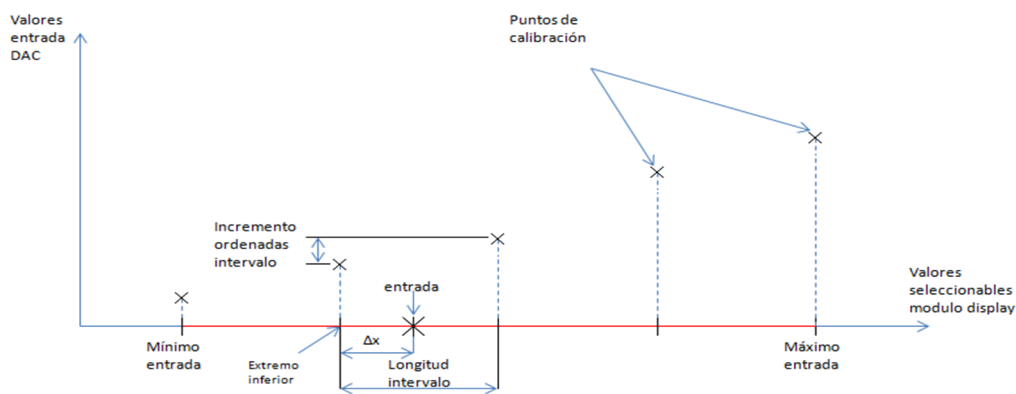


Figura A2.5. El dato de salida hacia el DAC se determina mediante simple interpolación lineal por intervalos. Estos intervalos y valores se han cargado durante el proceso de calibración.

La fórmula para determinar la salida del interpolador lineal es la siguiente:

$$\text{Codigo_DAC} = (\text{entrada} - \text{extremo inferior}) * \frac{\Delta y \text{ en intervalo}}{\text{longitud intervalo}} + \text{código DAC inferior} \quad (\text{A2.1})$$

La misma fórmula se usa para cualquier tipo de convertidor D/A, correspondiente a varios parámetros presentes en el sistema.

Si el control del control D/A es un control fino, y se dispone de conmutación de rangos adicional, se debe calcular el rango “grueso” apropiado antes de calcular el valor del convertidor D/A. Si para una determinada entrada, los extremos del intervalo de interpolación tienen valores de ganancia fija distintos, una vez calculada la salida, se tiene que determinar el rango fijo correspondiente. Esto se hace verificando si la salida calculada es mayor de 4095: si es falso, el valor correspondiente al convertidor D/A es la salida calculada, y el rango fijo corresponde al del extremo inferior. Si se supera el valor 4095, siendo esto el máximo aplicable al convertidor, se le resta 4095 y lo que queda es la entrada del convertidor D/A; mientras que el rango fijo es el correspondiente al extremo superior del intervalo de interpolación.

2.1.10 Proceso de calibración.

El proceso de calibración consiste en obtener una serie de puntos (*entrada_DAC*, *salida_deseada*) que mediante interpolación lineal permitan obtener valores intermedios con un error reducido. El proceso consiste en elegir un determinado número de puntos de calibración, y utilizando un intérprete de comandos, fijar este número para después alcanzar las salidas deseadas utilizando el mando de control del panel de interfaz de usuario, que se confirmarán para guardar mediante los botones 5 y 0 de la placa.

Para poder acomodar todos los controles de bajo nivel presentes y futuros se ha codificado el tipo de control de bajo nivel (convertidor D/A, multiplexor, atenuador, potenciómetro digital, etc) empleando un número identificativo. Este número se configura en la fase de calibración y se emplea para actuar sobre el control analógico.

De momento hay solo dos tipos de calibración de bajo nivel. Para los convertidores D/A convencionales, que representan el "tipo 1" solamente se tiene que incrementar el valor aplicado al convertidor, conforme al valor seleccionado por el usuario. Para el segundo tipo de calibración, que corresponde al rango, además de incrementar la entrada del convertidor, también se tiene que incrementar un rango fijo. Si para alcanzar el valor de salida deseado, la entrada del convertidor D/A correspondiente llega a 4095 (el valor máximo codificable en 12 bits) se incrementa el rango fijo y el convertidor pasa a entrada-salida 0, siendo nuevamente posible incrementar el rango fino.

Hay varias funciones necesarias para realizar el proceso de calibración, que están contenidas en la librería *rutina_calibracion.c*, y cuyas funciones básicas se explican a continuación:

- **gain_step**: se utiliza para generar el rango fijo.
- **get_dec**: se utiliza para obtener el número de puntos de calibración que se desean, desde el intérprete de comandos.
- **struct_init**: se utiliza para reiniciar la estructura donde se guardan los datos de calibración. Esto consiste en poner los puntos de calibración a 0, el valor actual a 0, y los límites max y min en 4095 y 0, respectivamente. Esto corresponde a los valores extremos aceptados por el convertidor D/A, y que también serán los extremos

que el usuario podrá ver/seleccionar en la pantalla de la placa display.

- **struct_show**: es una función que se utiliza para mostrar los datos de calibración en la pantalla del ordenador.
- **calibrates** es la función principal, que realiza todo el proceso de comunicación y obtención de datos. Para un determinado convertidor D/A, muestra mensajes de ayuda al usuario durante el proceso de calibración y lee y guarda los puntos de calibración.

2.2 Placa Interfaz de Usuario.

Esta placa tiene como propósito interactuar con el usuario que controla los parámetros lentos de los bloques analógicos de la cadena de instrumentación nuclear. Se compone de un visualizador de 4 dígitos, cinco pulsadores y un control giratorio realizado mediante un encoder incremental. Los pulsadores se utilizarán para seleccionar la variable cuyo valor se mostrará en el display, y sobre la que, una vez seleccionada, se podrá modificar mediante el control giratorio.

El control giratorio también tiene incorporado un pulsador, que se utiliza para cambiar el incremento que se realiza. Si en un determinado momento, un paso en el control implica un incremento de una unidad, si se acciona el pulsador del mismo, el incremento pasa a un valor de 10. Una segunda pulsación del pulsador hace que el incremento aumente a 100 y mediante una pulsación adicional vuelve a ser de una unidad.

Una segunda función realizada por la placa es enviar los valores seleccionados por el usuario a la placa de control. Estos valores se envían a

través de un bus I2C a la placa de control, donde serán procesados para se aplicados a los convertidores digital-analógicos.

2.2.1 Bucle principal del programa.

En el fichero *main.c* está definido el modo de funcionamiento del algoritmo de control del programa implementado, cuyo diagrama de control se muestra en la Figura A2.6.

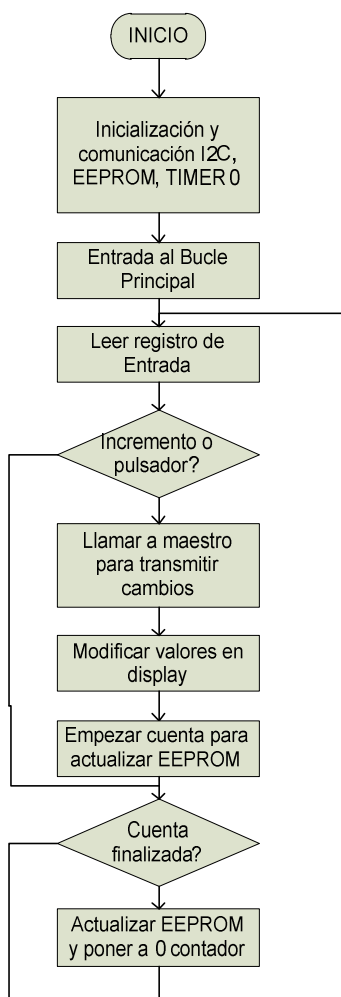


Figura A2.6. Diagrama de flujo del bucle principal del programa.

En la Figura A2.6 se muestra el diagrama de flujo del programa principal. Su interpretación es la siguiente: una vez realizadas las inicializaciones

necesarias, se pasa al bucle principal, donde se lee el registro de desplazamiento. Si hay cambio de valores, se analizan y se toman las medidas adecuadas, que consisten en avisar al maestro, cambiar el valor mostrado en el display y prepararse para actualizar la EEPROM. Si no hay cambios, se verifica si hubo alguna modificación anterior y se actualiza la EEPROM. Este proceso se repite indefinidamente. Obviamente, el refresco del visualizador y la transmisión de datos por el bus I2C es transparente para el bucle principal, realizándose mediante interrupciones.

2.2.2 Programación del microcontrolador. Estructura del programa

La primera función implementada en la placa ha sido la que realiza el refresco del display mediante interrupciones y la interpretación de los datos de los pulsadores y del encoder. Para controlar la frecuencia de refresco del display se utiliza el temporizador TIMER1, llamando a la función *timerint_init*, que se configura de la siguiente forma:

```
TMR0IF=0;           // flag interrupción
OPTION_REG=0b00000100; // bits 2-0=101<=> 1:64;
// 100<=>1:32 prescaler,  habilitación temporizador

TMR0IE=1;
PEIE=1;           //habilitación todas interrupciones
GIE=1;           //habilitación interrupciones no enmascaradas
```

Actualmente, el temporizador está configurado para una frecuencia de conteo de 1:32 de la frecuencia del microcontrolador.

2.2.3 Control del display

Para activar los distintos dígitos del visualizador se utiliza el registro de desplazamiento HCT4094D, en el que se carga la combinación apropiada para

activar el dígito deseado del visualizador, o los leds de los pulsadores. Las funciones específicas para el control del 4094D están definidas en la librería *gpio.c*, cargándose los datos con la función *gpio_write*. El proceso de escritura en el registro es el siguiente:

- 1) Se pone a 0 el bit correspondiente a la línea de salida de datos, lo que hace que los datos del registro de recepción serie no pasen (todavía) a la salida (mediante EN_GPIO_DISPLAY, pin RA2, conectada a la entrada STR - strobe del registro)
- 2) Tanto la línea de reloj CLK como la línea de salida de datos DIN se ponen a 0.
- 3) Se envía el byte al registro. El registro muestrea la línea de datos en el flanco positivo.
- 4) Se pone a 0 la línea de datos.
- 5) Se pone a 1 la línea del STROBE, se espera un momento (2 μ s), y luego se vuelve a poner a 0. Esta operación hace que los datos del registro de entrada serie pasen a las salidas en paralelo del 4094D.

Los bits que se utilizan para activar los elementos del display son los 6 bits menos significativos cargados en el registro de desplazamiento. Los segmentos del display se controlan con los bits [0 - 3] para [unidades - miles], y se activan poniendo a 0 el bit correspondiente. El cuarto bit activa los leds rojos de los pulsadores si se pone a 0. Para activar los leds verdes, se tiene que poner el sexto LSB (bit5) a 1. Hay que tener en cuenta que no se deben activar los dos leds rojo y verde de un pulsador al mismo tiempo, ya que se produciría un cortocircuito en la alimentación, no obstante, se dispone de una resistencia limitadora de corriente para esta eventualidad.

Se utiliza el puerto B del microcontrolador para activar los segmentos de los displays, o cada led de los pulsadores. La correspondencia bit-segmento es [RB1->RB7] a [a->g] para un visualizador de 7 segmentos convencional, como el que se muestra en la Figura A2.7.

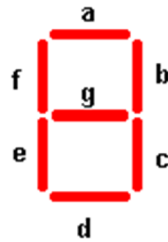


Figura A2.7. Denominación segmentos en visualizador de 7 segmentos típico.

Al ser el display de ánodo común, la activación de un segmento x dado se realiza poniendo el pin RBx correspondiente a nivel lógico 0. En cuanto al punto decimal, está controlado por el pin RA5, y utiliza la misma lógica.

Para activar los segmentos de la forma apropiada se ha construido una tabla con los valores a cargar en el registro, para obtener los dígitos o letras deseadas. La definición de esta tabla, y las funciones específicas que manejan el visualizador se realizan en el fichero *timerint.c*.

La función *disp_change* se ocupa de actualizar el visualizador (tanto valor como punto decimal) y leds de los pulsadores. Esta función recibe como entrada el incremento correspondiente a la variable actual, que se seleccionó mediante los pulsadores, y la añade a la variable actual. El índice de la variable a modificar es también una variable global, que corresponde al último pulsador accionado. Dado que la posición del punto decimal puede cambiar al seleccionar otra variable, se llama a esta función no solo cuando se incrementa el valor actual, sino también cuando se ha pulsado un botón distinto.

Los valores a mostrar se guardan en unas variables globales para permitir su modificación en cualquier punto del programa. Estas variables forman parte de una estructura, ya que hay varios campos a tener en cuenta para cada variable. La estructura creada es la siguiente:

```
struct limits {  
    int actual;  
    int lim_sup;  
    int lim_inf;  
    unsigned char pos_dec;  
    unsigned char is_bin;  
};
```

Los campos de la estructura son el valor actual de la variable, que se puede modificar mediante el encoder una vez pulsado el correspondiente pulsador. Los campos *lim_sup* y *lim_inf* guardan los límites alcanzables por cada variable; *pos_dec* indica la posición del punto decimal, mientras que el último campo, *is_bin* nos indica si se trata de una variable tipo ON/OFF, o de una variable numérica.

Para cada pulsador hay una variable de tipo *struct limits* definida, que es de tipo global. La estructura está definida en el fichero *mem.h*.

2.2.4 Manejo de los pulsadores y del encoder

La lectura de los pulsadores se realiza mediante comunicación en serie, empleando el registro de desplazamiento 4014D que realiza una conversión paralelo-serie. La lectura del registro se hace de forma periódica en el bucle principal del programa. Al no utilizar interrupciones para detectar pulsaciones de los botones o movimientos del encoder, es imprescindible que la lectura se haga con suficiente frecuencia para no perder información. Tal vez el uso de interrupciones se tenga que considerar en el futuro.

La función que realiza la lectura es *gpio_read*, de *gpio.c*. Hay que tener en cuenta que los dos registros de desplazamiento usan la misma señal de reloj, así que los dos procesos no se pueden realizar en paralelo. Dado que el refresco de los displays es periódico, la función *gpio_write* se usa muy a menudo. Para poder realizar de forma correcta la lectura del 4014D se deshabilitan las interrupciones mientras se realiza la lectura del registro. El proceso de lectura del registro es el siguiente:

- 1) Se deshabilitan las interrupciones poniendo GIE (Global Interrupt Enable bit) a 0.
- 2) Se pone a 0 el pin que corresponde a la señal *Data_Out* (salida de datos serie, RA4) del registro, para asegurarse que está limpio el pin.
- 3) CLK (RA0) a 0.
- 4) Se habilita la señal P/\bar{S} (llamada EN_GPIO_PULS, RA3) que configura al registro en comunicación paralelo. De esta forma, al detectar una transición de 0 a 1 de la señal de reloj, el registro carga los valores de los pines de entrada, que corresponden a los valores de los pulsadores y del encoder, en el registro interno.
- 5) CLK a 1 (comienza proceso de carga).
- 6) Espera un tiempo para tener los datos cargados.
- 7) Puesta chip en comunicación serie (P/\bar{S} a 0).
- 8) Lectura del byte aplicando de 8 pulsos de reloj mediante la función *byte_in*. El muestreo de la línea de datos se realiza después del flanco positivo.
- 9) DOUT a 0 - asegurarse que está inicializado.

10) Rehabilitación global de interrupciones (GIE a 1).

Una vez realizada la lectura del registro, se compara el estado de los dígitos que corresponden a los pulsadores y al encoder. Si se detecta un cambio en uno de los 5 pulsadores, se cambia el índice de la variable al que corresponda. Cuatro de los pulsadores seleccionan variables configurables, el quinto botón selecciona la función de bloqueo de la pantalla. Si se activa este botón se muestra el mensaje " LOC " en el display, y cualquier cambio en el encoder no causa cambio en las variables de control.

El encoder también tiene un pulsador, que se utiliza para seleccionar el incremento que se le aplica a la variable. De momento se puede elegir entre un incremento de 1 o de 100. El encoder utilizado es de tipo incremental. Para determinar si ha habido una rotación en sentido horario (incremento) o anti horario (decremento) se analiza la secuencia de valores de los bits que corresponden al encoder, siendo estos los 3 bits más significativos del byte recibido. El bit 5 corresponde al pulsador del encoder, y los bits 6 y 7 indican el sentido de rotación.

Para una rotación en sentido horario la secuencia de valores es la siguiente: 11-10-00-11, siendo la opuesta para sentido anti horario.

Al principio del bucle principal del programa se llama a la función *input_check* que se encarga de leer el registro de entrada y analizar los datos recibidos.

La función *input_check* analiza los casos posibles para una lectura efectuada previamente:

1. No hay ningún botón pulsado: sin acción.
2. Hay un botón pulsado: verificar cual es el botón y cambian el índice de la variable al nuevo valor.
3. Movimiento del encoder: llama a la función *encoder_calc* para determinar la acción correspondiente.

La función *encoder_calc* analiza tres situaciones posibles para el encoder:

1. Accionado el pulsador: se modifica el multiplicador de 1 a 100 y viceversa.
2. Comienzo rotación sentido horario: incremento valor de la variable, una vez haya vuelto el encoder a una posición intermedia (un paso completo).
3. Comienzo rotación sentido anti horario: decremento del valor de la variable.

Hay que tener en cuenta que si el encoder se gira lo suficiente para que pase a otra combinación de salida pero no se le llega a dar un paso completo, es decir, se vuelve a la posición inicial, igual el programa lo interpreta como un incremento.

2.2.5 Memoria EEPROM

Para que los valores seleccionados por el usuario se mantengan al reiniciar la placa, se necesita guardarlos en la memoria EEPROM del microcontrolador.

Las funciones específicas para manejar dicha memoria son:

- `eeeprom_write(address,value)` : recibe la dirección donde se desea guardar, y el dato (1 byte) a guardar; la dirección, para el pic16, es de tipo byte.
- `value=eeeprom_read(address)` : devuelve el byte de la dirección de memoria dada.

A partir de estas funciones, se construyeron las funciones *init_eeeprom* que realiza la inicialización de la memoria, *update_limits* que guarda los datos, y *load_data* que carga los datos de la memoria después de un reinicio.

Dado que la memoria EEPROM tiene un número máximo de operaciones de lectura y escritura relativamente reducido, no se pueden realizar dichas operaciones periódicamente. Para saber cuándo realizar una actualización de los datos, se utiliza una temporización, activando un reloj cuando ocurre un cambio en alguna variable. Si en un intervalo de alrededor de un segundo no ocurre otro cambio, se actualizan los datos. Si ocurre otro cambio, se reinicia el reloj, esperando hasta alcanzar la condición de actualización.

Se utiliza el TIMER1 para configurar el retardo de la actualización. Mediante la función *timer1_start* se activa el temporizador, que generará interrupciones al desbordarse. Cada vez que se genera la interrupción, se incrementa la variable global *contador*, que al alcanzar un determinado valor, se para el contador y realiza la actualización de datos. El ajuste del tiempo de espera para realizar la actualización se puede hacer modificando el valor de la variable *actualiza*, con la que se compara la variable *contador* para iniciar el proceso de actualización. Dicha variable está definida en *timerint.c*.

2.2.6 Comunicación I2C en modo esclavo

El visualizador realiza la función de interfaz con el usuario, pero sin manipular los datos. Para obtener las salidas deseadas en los convertidores D/A, se envía la información necesaria a la placa de control. Cuando el usuario realiza cambios en alguna variable, el microcontrolador de la placa de interfaz de usuario activa una señal que avisa al maestro de la existencia de datos nuevos. El maestro genera las señales adecuadas para la lectura, mientras que el esclavo solamente responde.

La implementación de la comunicación mediante el bus I2C se ha realizado utilizando el módulo dedicado del microcontrolador, ya que simplifica el proceso de transmisión y reduce la carga computacional del microcontrolador. La configuración del módulo MSSP (Máster Synchronous Serial Port), que permite el funcionamiento del módulo para transmisión SPI o I2C, se realiza con la función *i2c_init*, cuyo código fuente se muestra a continuación:

```
void i2c_init(void){

    ADCON0 = 0x00;      // Se deshabilita el convertidor ADC
    CCP1CON = 0x00;    //Se deshabilita el modulo comparador
    empty=SSPBUF;      // Se lee el buffer del modulo
    SSPOV=0;          // Se limpia bandera de desbordamiento

    SSPSTAT=0;        // Se limpia el registro de estado
    SSPBUF=0;        // Se pone a 0 el buffer
    SMP=1;           // Se configura frecuencia 100khz
    PIR1=0;         // Se limpia el registro PIR1
    Tris_SDA=1;     // Pines del I2C como entradas
    Tris_SCL=1;

    SSPADD=I2C_Slave_Address; //dirección esclavo del pic
    SSPCON=0x36;    // Habilitación del modulo MSSP;
                    //direccionamiento de 7 bits;
    SSPIE=1;       // Habilitación de la interrupción
    PEIE=1;        // Habilitación de interrupciones
    GIE=1;         // Habilitación global de interrupciones

}
```

El módulo MSSP genera una interrupción cada vez que el módulo acaba una operación. Para determinar el estado de la transmisión, se necesita analizar los valores del registro SSPSTAT, que contiene las banderas necesarias para saber el estado del módulo. Hay cinco situaciones posibles que pueden aparecer, y son las siguientes:

Estado 1: Operación de escritura, último byte recibido fue dirección. La configuración de los bits del registro es la siguiente:

- S=1; Bit de start detectado
- D_A=0; Ultimo byte recibido fue dirección (Address)
- R_W=0; Operación de escritura
- BF=1; El buffer está lleno

Este caso corresponde al comienzo de una operación de escritura. Dado que hay varios bytes a recibir, correspondiendo a distintas variables, se tiene que saber en todo momento en qué estado de la transmisión se encuentra el sistema. Para ello, se utiliza la variable global *estado_envio*, que se inicializa con el valor 1 en el estado 1, y se va incrementando con cada estado alcanzado. También se realiza la lectura del buffer de entrada para vaciarlo (si no se hace ocurrirá overflow en la siguiente recepción), y también se ponen a 0 las banderas de buffer lleno (BF) y de overflow (SSPOV).

Estado 2: Operación de escritura, el último byte recibido fue dato.

- S=1; Bit de start detectado
- D_A=1; Ultimo byte recibido fue dato (Data)
- R_W=0; Operación de escritura
- BF=1; El buffer está lleno

Se está en este estado cada vez que se recibe un nuevo byte de datos desde el maestro. La variable *estado_envio* permite saber a qué variable le corresponde el dato recibido. El primer byte recibido indica el índice de la variable que se quiere modificar, mientras que los siguientes son nuevos valores. Por seguridad, una vez leído el buffer en una variable local, se limpian BF y SSPOV.

Estado 3: Operación de lectura, último byte recibido fue dirección

- S=1; Bit de start detectado
- D_A=0; Ultimo byte recibido fue dirección (Address)
- R_W=1; Operación de escritura

El estado 3 indica el comienzo de una operación de lectura. En este estado, lo primero que se hace es desactivar la señal que avisa al maestro de que ha habido algún cambio y tiene que realizar una lectura, poniendo *pin_int* (RC0) a 0.

Dado que el único campo que el usuario puede modificar en el panel es el valor actual de una variable seleccionada, se enviarán tres bytes de datos al maestro, ya que se necesita enviar un entero y el índice de la variable actual.

Estado 4: Operación de lectura, último byte enviado fue dato

- S=1; Bit de start detectado
- D_A=1; Ultimo byte recibido fue dato (Data)
- R_W=1 Operación de escritura
- BF=0; El buffer está vacío

Estado 5: Reset del módulo I2C al recibir NACK (not acknowledged) del maestro

- S=1; Bit de start detectado
- D_A=1; Ultimo byte recibido fue dato (Data)
- BF=0; El buffer está lleno
- CKP=1;

Si se alcanza este estado, se reinicia el módulo, y el microcontrolador estará listo para comenzar otra transmisión de datos, desde cero. El diagrama de flujo de la Figura A2.8 pretende clarificar el mecanismo de los estados de comunicación.

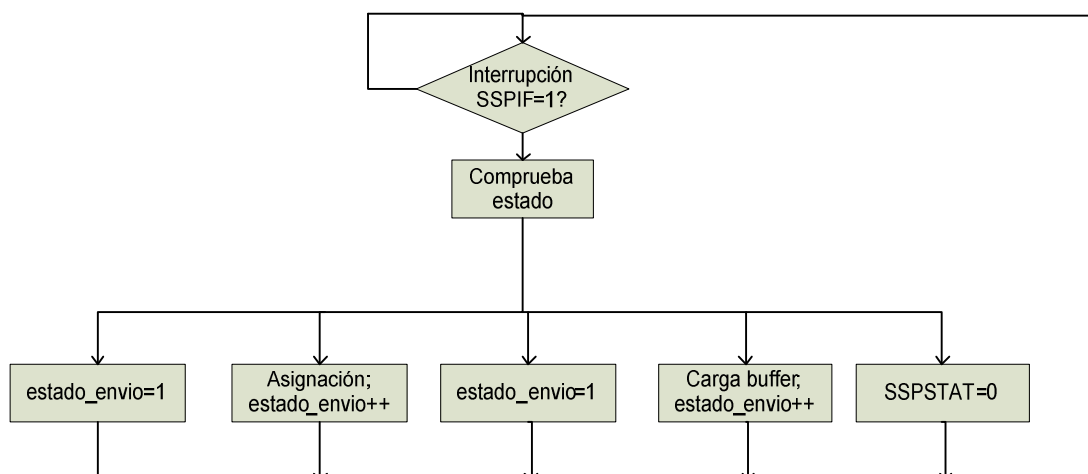


Figura A2.8. Gestión de interrupciones del controlador I2C.